

次世代ノートパソコン及び デスクトップパソコン向け プロードライザの紹介

下 彰 利

要 旨

NEC トーキンが開発した新しいタイプのデカップリングデバイスであるプロードライザは、これまでノートパソコンのCPU用デカップリングキャパシタとして採用されてきました。次世代CPUにおいては、トータル1mΩのESRが要求されており、この動向に対応するため、超低ESRのプロードライザを開発しました。また、より消費電力の大きいデスクトップパソコン向けに高容量化したプロードライザの採用可能性についても紹介します。

キーワード

●キャパシタ ●ノートパソコン ●デスクトップパソコン ●CPU ●ワンチップ化

1. はじめに

パソコン向けCPU (Central Processing Unit) は年々大規模、高機能化が進んでおり、最近では、マルチコアCPUが中心となり、低電圧、大電流化が進んでいます。現在では、ノートパソコンに限らず省電力の設計が重要となっていることから、消費電力を下げるために、CPUは使用状態に合わせて頻繁に負荷を変化させています。このような中で電圧を安定化させるためのデカップリング回路に対しては、求められる性能が厳しくなっています。

また、もう1つのトレンドとして、CPUへの機能の統合が進んでいます。通常、パソコンではCPUの他にGPU(Graphics Processing Unit)、メモリ、各種I/Oへのハブ機能が別々のLSIで動作しています。次世代CPUでは、GPU、メモリコントローラ、I/Oハブの機能が1パッケージに統合されます。それぞれのLSIが小型化することで実現するものですが、ボード面積を節約できる上、各LSI間の通信距離が短くなることで高機能化も可能です。その結果、パソコンの高機能化と同時に、小型化、低価格化が可能となります。しかしながら、統合することで様々な電源ラインが1ヵ所に集中することとなり、電源部品のレイアウトやノイズ環境に対する設計が厳しくなることとなります。実際にLSIメーカーの推奨する基準はさらに厳しくなることが予定されています。

このようなCPUやその電源回路の動向に対応するため、プロードライザも性能を向上しました。本稿では、電源の負荷応答に大きな影響を与えるESR（等価直列抵抗）を向上させたプロードライザについて、製品の概要とその使用例を紹介します。また、これまでノートパソコン中心に採用されてきたプロードライザですが、内部素子の改善による高容量化が可能となっていますので、デスクトップパソコンを始めとした、パソコンマザーボードへの適用についても、その可能性について紹介します。

2. ノートパソコン用CPUの動向

2005年12月に発売されたNECのノートパソコンにプロードライザが初めて採用されました。CPUとしてはIntel社製超低電圧版Pentium M（シングルコア）が搭載されており、プロードライザがCPUコア電源に対するデカップリングの役割で使われています。

その後、2006年からは、CPUのマルチコア化や省電力化の要求に応えるために、CPUコアの電源制御方式が変更されました。ここで言う電源制御とは、CPUの動作状態に合わせて供給電圧を動的に変化させ、CPUの消費電力を節約するための制御で、ノートパソコンのバッテリーライフ延長に大きく寄与しているものです。Intel社製Core duo（デュアルコア）が

表1 デュアルコア以降（2006年以降）のキャパシタ構成例

項目	容量	ESR	搭載数
Ta Polymer	330 μ F	6m Ω	4Pcs.
MLCC	10 μ F	-	32Pcs.
Total	1,640 μ F	1.5m Ω	36Pcs.

表2 統合CPU（2009年以降）のキャパシタ構成例

項目	容量	ESR	搭載数
Ta Polymer	470 μ F	4m Ω	4Pcs.
MLCC	22 μ F	-	12Pcs.
MLCC	10 μ F	-	16Pcs.
Total	2,304 μ F	1.0m Ω	32Pcs.

リリースされて以来、最大電流値が増えたこともあり、省電力制御が改良されました。

省電力化のためには電圧を適切に制御する必要があり、また急激なCPU負荷の遷移を伴うため、デカップリングキャパシタのESR低減が重要になります。デュアルコア世代のCPUに対するESRの要求は、トータル1.5m Ω でした（表1）。

さらに、2009年からはCPUに、GPU、メモリコントローラ、I/Oハブの機能が統合されます。1パッケージへの統合のため、パッケージが大型化されピン数が増加されることとなり、電源供給ラインが複雑化し、経路インピーダンスが増加します。そのため、トータルESRの要求は、トータル1.0m Ω となる見込みです（表2）。さらに、複数の電源供給ラインが1ヵ所に集中するためにキャパシタなどの受動部品を搭載する場所についても工夫が必要となります。

3. プロードライザの開発動向

プロードライザのコンセプトは「Integrated passive component」であり、これまで大量に実装する必要があった受動部品を統合することに大きな価値があると考えています。このような意味でも、プロードライザ1個でCPUコアのデカップリングキャパシタをより多く置き換えることが非常に重要です。また、前述したように低ESRへの要求はさらに厳しくなり、次世代CPUでは、トータルのESRは1.0m Ω 以下が必須条件になる見込みです。

表3 に今回開発した低ESRプロードライザを紹介します。開発品は、同じサイズと容量（16.7mm \times 12.1mm \times 2.5mm、

表3 ノートPC用プロードライザ仕様

製品	Voltage	Cap.	ESR
PFAF250E907MCB	2.5V	900 μ F	1.5m Ω
PFAF250E907MCD	2.5V	900 μ F	1.0m Ω

900 μ F) のまま、ESRが1.0m Ω 以下という超低ESRを達成し、これをリリースしました。

外形サイズを変更せずに、1m Ω という超低ESRを達成できたことは、弊社の持つ高いレベルの製造技術と開発技術によるものと考えています。

4. 使用例

4.1 ノートパソコンの例

図1 に従来のプロードライザの実装例を示します。

プロードライザは、CPUの裏面中央部に実装されます。CPUの中央部には、接続ピンがない、約19mm \times 19mmの領域があり、プロードライザを実装するには都合がよく、CPUからの距離も最小にすることができます。

プロードライザは独自の伝送線路構造によって高周波帯域での低インピーダンスを達成しており、従来のキャパシタ構成を置き換えることが十分可能です。

次世代CPU向けにおいては、トータルESRの要求が1.5m Ω から1.0m Ω へと変更となる見込みです。ESR性能はプロードライザの独自構造に依存するものではないため、改善には従来のポリマーキャパシタと同様に内部素子の改良が必要でしたが、1.0m Ω のプロードライザをリリースしたことで、次世

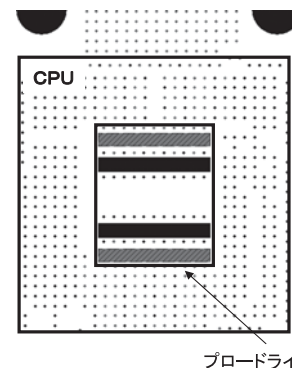


図1 従来のプロードライザの実装例

代CPUにおいてもプロードライザ1個でCPUコアへのデカップリングが可能となりました。

容量については、プロードライザの容量 (900 μ F) は、従来構成の2,304 μ Fに比較すると小さいように見えますが、従来構成で470 μ Fのポリマーキャパシタを使っている理由は、4.5m Ω という低ESRを達成しうる容量ということで決められた経緯もあり、必ずしもその容量が必要だったわけではありません。その証拠に、現在ではさらに容量が小さく、同等のESRのポリマーキャパシタの検討も始まっています。プロードライザを使った設計では、キャパシタを実装する面積が従来に比較して40%近く小さくなっており、基板面積の縮小、その結果としての基板コストの低減にも寄与する可能性もあります。ノートパソコンに対するコスト要求はこれまでに厳しくなっており、プロードライザはノートパソコンには大きな価値を提供できると考えています。

さらに、次世代CPUにおいては、CPUにGPUやメモリコントローラ、I/Oハブの機能が統合されます。1ヵ所に様々な機能が統合されることで、各電源に許される面積も小さくなります。中でも、最も消費電量が大きいCPUコアに関しては、必要とされるキャパシタも多いため、プロードライザによって部品点数の削減ができることは、設計の観点からも有利です。

4.2 デスクトップパソコンの例

表4 は、デスクトップパソコンのCPU用に使用しているデカップリングキャパシタの構成例です。通常、筐体の大きいデスクトップパソコンにおいては、高さ制限がないためCANタイプのアルミポリマー電解キャパシタ (Aluminum Conductive Polymer Electrolytic Capacitor: CAN type Al Polymer) が使用されています。

デスクトップパソコンは一般的にノートパソコンに比較して、消費電力が大きく、キャパシタに求められる容量も大きくなっています。しかし、ノートパソコン同様ESRを下げるために大容量のキャパシタが使用されている経緯もあるため、7,000 μ F以上の容量が必要とはならない可能性があります。ただし、この場合でも、トータルESRは維持する必要があります。

図2、**図3** に従来のキャパシタ実装例とプロードライザを使った場合の実装例を示します。CPUのヒートシンクがある

表4 デスクトップ型パソコン用CPUのキャパシタ構成例

項目	容量	ESR	搭載数
CAN type Al Polymer	820 μ F	7m Ω	9Pcs.
MLCC	22 μ F	-	24Pcs.
Total	7,088 μ F	0.78mm Ω	32Pcs.

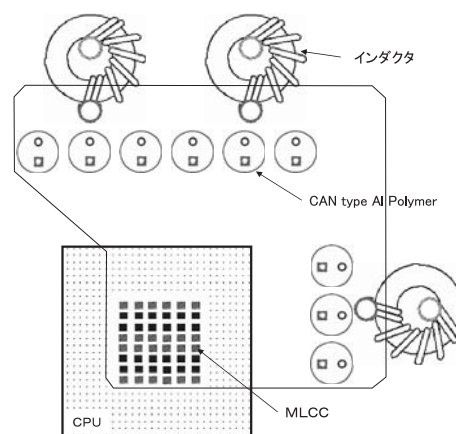


図2 従来のキャパシタ実装例

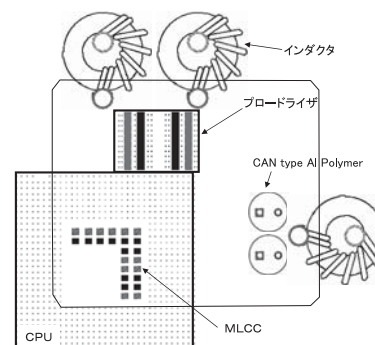


図3 プロードライザを使った実装例

ため、アルミ電解キャパシタはCPUの周辺には配置できません。しかし、プロードライザはアルミ電解キャパシタに比べて薄いため、通常の実装できなかった領域への実装が可能になり、併せて実装面積自体も小さくなっていることから、従来に比較して大幅に電源エリアを小さくすることができます。

また、従来、表4で示したように22 μ FのMLCCを使用していたところを、プロードライザを使用することで、10 μ Fの

次世代ノートパソコン及び デスクトップパソコン向け プロードライザの紹介

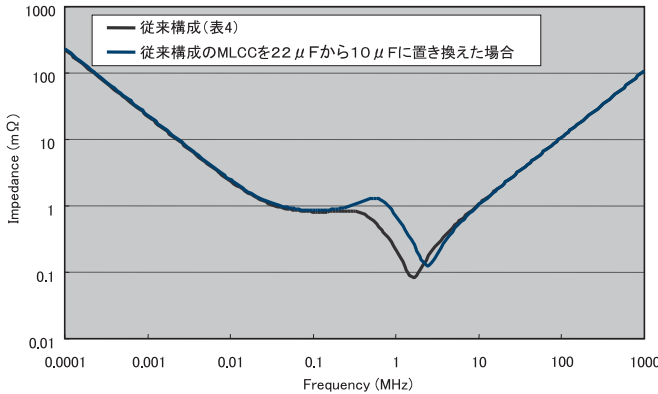


図4 インピーダンス比較 (従来構成 vs. 22 μ F の MLCC \rightarrow 10 μ Fへの置き換え)

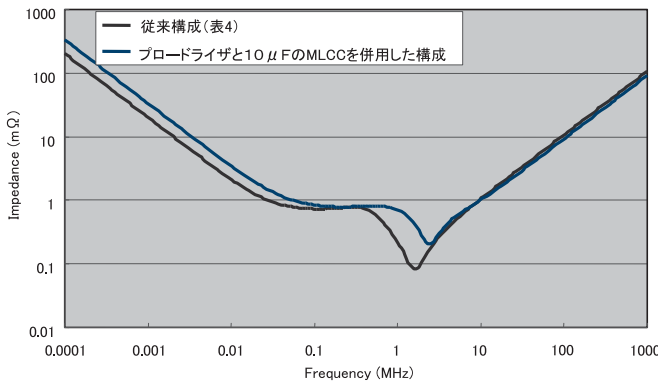


図5 インピーダンス比較 (従来構成 vs. プロードライザと10 μ FのMLCC併用)

MLCCで置き換えられる可能性があります。単純に22 μ FのMLCCを従来のアルミ電解キャパシタと組み合わせて10 μ FのMLCCに置き換えた場合、合成インピーダンスにて反共振の影響が出るため、800kHz付近で合成インピーダンスが1m Ω を超えてしまいます (図4)。そのため、比較的高価な22 μ Fを使わざるを得ません。しかしながらプロードライザと10 μ Fを組み合わせた場合、プロードライザがより広い周波数領域において低いインピーダンス特性を有していることで、反共振の影響が小さく、広範囲にわたって1m Ω 以下を達成することができます (図5)。

現在プロードライザにおいては、同じケースサイズで2,000 μ Fまでの容量を実現することができます。ESRについて

も1m Ω を達成していることから、デスクトップパソコンにプロードライザを使用することで、大部分の従来キャパシタを統合できると考えられます。

5. むすび

半導体の大規模化、高速化は日々進んでいますが、同時に消費電力の削減も重要な課題となっています。プロードライザは広い周波数帯域において、非常に低いインピーダンス特性を持っていることで、1チップのソリューションを提供することが期待できるデバイスです。今後も市場の流れを適切に見極め、市場ニーズに応えられるラインナップでお客様に貢献したいと考えています。

執筆者プロフィール

下 彰利
NECトーキン
ソリューション技術部
主任

● 本論文に関する詳細は下記をご覧ください。

関連URL

<http://www.nec-tokin.com/product/cap/proadlizer/index.html>