

チップ・パッケージ協調設計手法とそれを支える解析技術

磯崎 智明・矢島 征樹
内田 浩亨・掛川 千賀

要 旨

LSIの性能・コストの最適化のため、チップ・パッケージ協調設計手法を適用しています。協調設計手法を適用したパッケージ設計では、開発初期段階で放熱設計や反り・応力の検討を行いパッケージの基本構造を決定しています。またパッケージ設計では、端子配置最適化などのほかに、インピーダンス整合回路などの高度なインターポーザ設計技術を組み合わせて、性能と製造コストのバランスの取れたパッケージ設計を行っています。

キーワード

●協調設計 ●高周波 ●最適設計 ●熱解析 ●構造解析 ●パッケージ ●モデリング

1. まえがき

従来のLSI設計フローはチップ設計を中心に考えられてきましたが、LSIの高性能化に伴って、パッケージの特性まで考慮した設計が必要になってきています。そのため近年のLSIの設計においては、お客様が要求される性能を低価格で実現するためのチップ・パッケージ協調設計という設計概念が取り入れられています。本稿では弊社のチップ・パッケージ協調設計フローの概要と、この協調設計を実施する上で必要となる設計技術・解析技術について紹介します。

2. チップ・パッケージ協調設計手法

図1は弊社における協調設計フローを示したものです。このフローの詳細を以下に説明します。

2.1 熱設計の検討

LSIを開発する場合、まずお客様からの要求仕様に基づいてパッケージの構造、外形サイズ、ピン数などの基本的なパッケージ仕様を検討します。近年、この段階での熱設計がますます重要になってきています。90nm以降のテクノロジードでは、スケールリングによる低電圧化が進まなくなってきており、一方で高性能化の要求に応えるために搭載回路規模や動作周波数は増加しています。その結果、消費電力は減少せず、むしろ増加する場合があります。熱設計では、パッケージ構

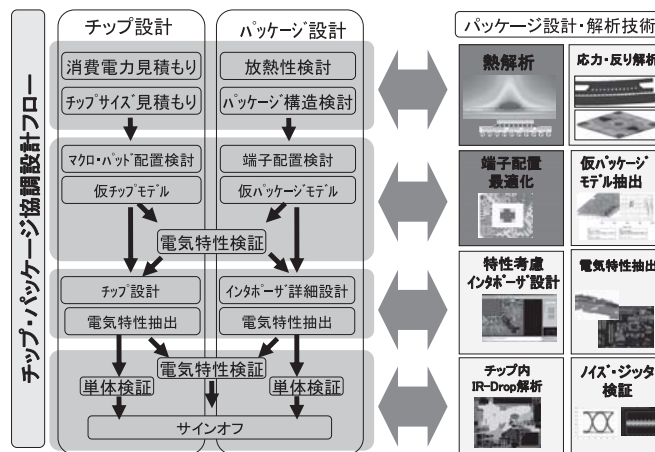


図1 チップ・パッケージ協調設計フロー

造、チップサイズ、マザーボードの仕様、筐体での放熱条件など、非常に多くのパラメータが存在しており、チップ・パッケージ協調設計フローではこの段階でこれらのパラメータを振った熱解析を実施し、お客様の要求を満足できるパッケージ構造や筐体の放熱条件を求めます。また、チップ設計においてもより高精度な消費電力見積もりや低消費電力化のための回路構成の最適化も同時に進めます。

2.2 パッケージ反り、はんだ接続寿命の検討

熱設計の次はパッケージ構造の検討を行います。特に構造

が複雑なSiP (System in Package) やPoP (Package on Package) では、パッケージをマザーボードに実装する2次実装時のパッケージ反りやはんだ接続寿命の検討をこの初期段階で行うことが重要です。この段階で構造解析手法を用いた材料・構造の最適化検討も行っています。最近の構造解析ソフトウェアやコンピュータの性能向上により、高精度な3次元モデルでの解析が可能となってきたため、弊社ではいち早く最新の解析環境を立ち上げ、本検討に活用しています。この構造解析結果から、例えば封入樹脂材料、パッケージインターポーザの材料や構造、搭載可能チップサイズなどの基本的なパッケージ構造を決定しています。

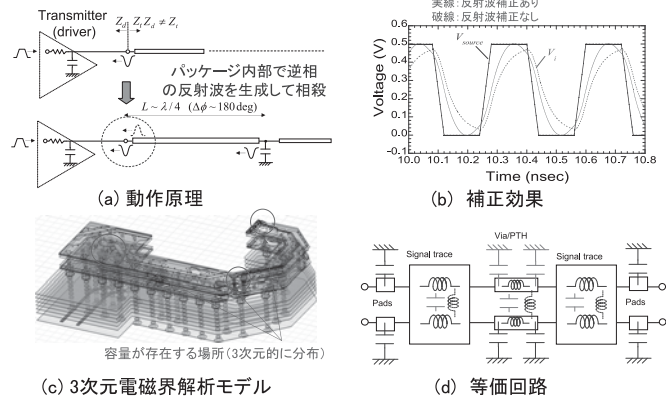


図2 広帯域インピーダンス整合回路

2.3 端子配置検討

パッケージの基本的な構造を決定した後、パッケージの設計を開始します。パッケージ設計の初期段階で最も重要な検討項目は、信号端子及び電源GND端子の配置検討です。この端子配置が不適切な場合、信号品質 (Signal Integrity) の劣化や電源・GNDインピーダンスの増大による電源品質 (Power Integrity) の劣化が発生しやすくなります。端子配置はパッケージ設計のみでなくチップ設計やボード設計とも整合をとって決定しなければなりません。端子配置設計は、ラツネスト (接続されている各端子間を直線でつなぎ、表示したもの) を用いて検討する場合がありますが、SiPやPoPなどの配線密度が高い複雑なパッケージや、高速信号など電気特性を考慮する信号が多く含まれる場合は、実際にパッケージインターポーザを仮設計し、その結果より端子配置を最適化します。さらにSerdes (Serializer/Deserializer) などのギガビット/秒 (Gbps) 以上の高速信号伝送を行うLSIに対しては、この仮設計情報からパッケージの電気特性を抽出し、チップモデル、ボードモデルと合わせて特性の確認を行って最終的な端子配置を決定しています。

2.4 パッケージインターポーザ詳細設計・検証

詳細設計では、チップに搭載している回路の電気特性から求めた制約条件を満たすようにインターポーザの設計を行います。例えば、高速信号では特性インピーダンスを満足する配線幅や間隔を用いて設計し、インピーダンス不連続を最小とするビア配置やパッド構造などを採用しています。アナロ

グ信号ではクロストークノイズを防止するための配線間隔の確保やシールド設計などを考慮した設計を行っています。

また、弊社では協調設計の考え方をさらに進めて、チップ・パッケージ設計全体で電気特性を作り込むような設計手法を導入しています。図2は、信号配線やビアの形状・配置を3次元的に制御しながら信号の位相制御を行って、広帯域インピーダンス整合回路をパッケージインターポーザ上に作り込んだ事例です。具体的には、寄生容量素子を一定の規則に基づき3次元的に分散配置することによって、インピーダンス不整合により生じる信号反射の波形の逆相となる波形を生成させ、信号品質を向上させる技術で、弊社が世界で初めて実用化を行いました。このインターポーザ設計手法は特殊な製造工程を必要とせず、高周波特性をインターポーザ側で改善でき、6.25ギガビットという大容量データの通信を行うルータやサーバ向けシステムLSIに適用しています。また設計環境として、ビアなどのインターポーザを構成する各部品について次章で紹介する電磁界解析ツールを用いてあらかじめ高精度な解析を行い、整合回路を効率よく設計できる3次元分布定数部品ライブラリを開発しました。この環境を用いることにより従来の個別に電磁界解析を行いながら設計する手法と比較して、1/1000以下の時間で設計を行うことができます。インターポーザの設計後、パッケージの電気特性抽出を行い、チップモデルとマザーボードを加えて、全体的な電気特性の検証を行います。

以上に説明しましたように、弊社のパッケージ設計ではチップ設計・パッケージ設計・ボード設計の間でのトレードオフを設計の初期段階で実施し、製造コスト・性能の最適化

を行うとともに、高度な電気解析・設計技術を組み合わせて高品質で低価格なパッケージ設計を実現しています。次章以降では、この協調設計で使用している各解析技術について説明します。

3. 電気特性解析技術

パッケージの電気特性解析技術は、信号品質と電源品質の解析に大きく分けられます。これらの解析に使用するEDAツールは市販ツールを中心に導入していますが、各種ツールの解析性能や特徴を把握し、解析対象の規模・周波数などから適切なツールを選択して使用しています。弊社で現在使用している主なツールの解析可能規模と解析周波数の関係を **図3** に示します。

この図で示すように、比較的周波数の低い領域では、大規模解析が実行可能なツール（ツールA、B）を用いて、IBIS、SPICE形式などのパッケージモデルを生成しています。

1Gbpsを超えるデータ伝送レートを持つ高速信号を解析する場合は、高周波での解析精度が高い2.5次元や3次元フルウェーブ電磁界解析ツール（ツールC、D、E）を用いています。フルウェーブ電磁界解析では、解析条件や境界条件の設定、データの切り出し方法などが解析精度に大きな影響を与えます。弊社では、実測に基づいた解析条件の最適化や、各電磁界解析ツールの特徴を考慮した設定を行い、精度と解析時間のバランスをとりながら電気特性抽出を行っています。パッケージモデルとしては高周波設計でよく使用されるS-パラメータに加え、高周波領域でもタイミング検証や波形確認が精度よく行える広帯域SPICEモデルでの提供も行っています。

図4 はワイヤー部の通過特性 (S_{21})、反射特性 (S_{11}) の実測とシミュレーションの比較データです。8GHz近辺までは両者の特性はほぼ一致しており、10GHzでも2dB以下の誤差に入っていることがわかります。**図5** は電源インピーダンスの解析事例です。パッケージインターポーザ上の2カ所の測定箇所から見たインピーダンス特性を示しています。こちらも3GHzまでは実測とシミュレーション結果は一致しており、一般的な電源ノイズ解析を行う上で十分な精度を持っています。

このように、パッケージの電気特性解析では、解析規模やシミュレーションの目的に応じた最適解析ツールを選択して電気特性の抽出やパッケージモデルの作成を行い、協調設計に適用しています。

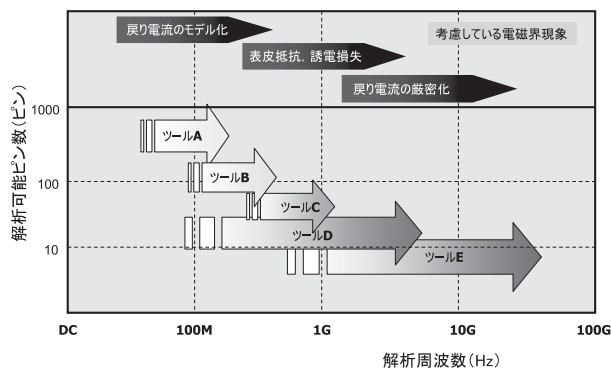


図3 電気特性解析ツールの性能

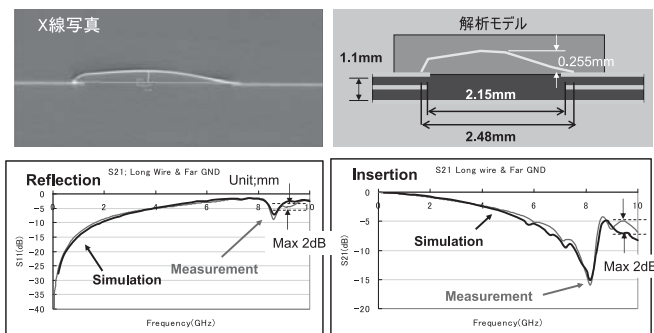


図4 ワイヤー部のシミュレーション精度

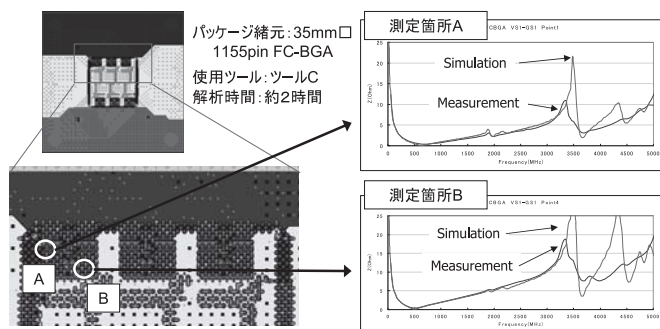


図5 電源インピーダンス解析事例

4. 熱解析技術

熱解析技術はパッケージ単体の熱抵抗算出だけでなく、お客様の装置での放熱構造の検討にも使用しています。お客様の実装基板に設ける放熱用ビア個数と基板表層温度の関係を解析した結果を **図6** に示します。

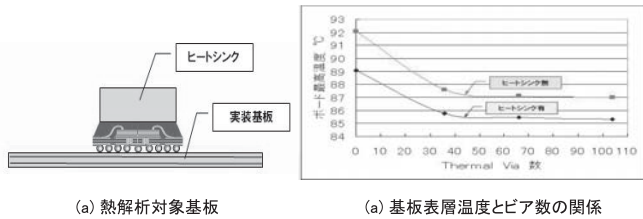


図6 マザーボードを含めたLSIの熱解析事例

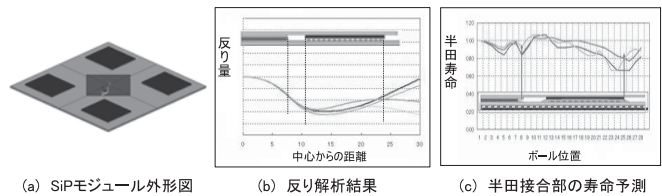


図8 はんだ寿命・反りシミュレーション事例

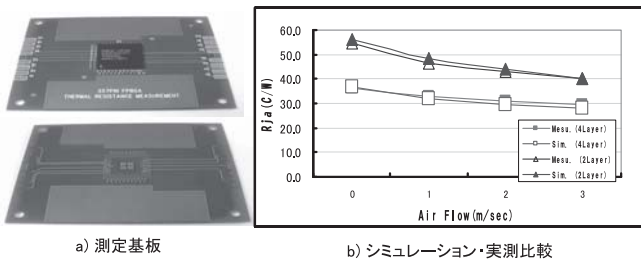


図7 熱解析精度検証

このように装置側の実装条件まで加味した解析を行い、お客様の装置設計を支援するための各種熱解析データも積極的に提供しています。なお、弊社で行っている熱解析のシミュレーション結果を測定結果と比較した例を図7に示します。正確な実装基板のモデリングと放射設定を組み合わせることにより、±10%以内の誤差を実現しており、各種の熱設計に十分適用可能な解析精度を有しています。

5. 構造解析技術

複雑な構造のパッケージでは、設計初期段階で材料・構造の最適化をいかに効率よく実施するかが課題です。弊社では最適化の手法として、過去の実験結果からの予測に加え、シミュレーションによるインターポザの反り解析やはんだ接続部の寿命予測などを行っています。

図8は、中央にASICチップを搭載し周辺に複数のメモリCSPを搭載した通信用SiPの解析事例です。このようなSiPでは、多種多様な寸法・材料の組合せや配置ができるため、シミュレーションを活用した初期検討が開発期間の短縮に非常に有効です。はんだ寿命予測では、従来多く用いられてきた非弾性ひずみだけでなく、はんだに生じた応力も考慮して高精度化を行いました。また、反り解析では、物性値の非線形

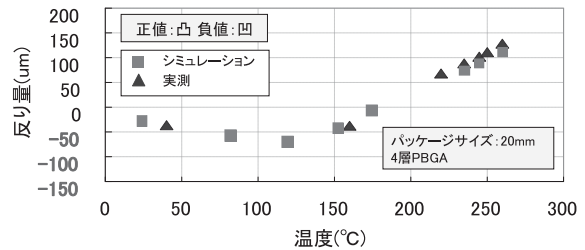


図9 パッケージ反りシミュレーション精度

性に加えてパッケージ組立時の熱履歴による残留応力も併せて考慮しています。その結果、初期の構造検討時でも実際の反りを十分反映できる解析が可能です。図9は反り解析結果と実測との比較事例です。

6. むすび

LSIの高性能化に伴い、チップの微細化やパッケージの複雑化が進んでおり、チップ・パッケージ協調設計手法はますます重要な設計手法となっています。また協調設計に使用する熱解析・構造解析・電気解析技術も短時間で高精度な解析が可能になってきており、これらの解析技術を活用して今後もお客様のニーズを満足できるLSIの開発を進めていきます。

執筆者プロフィール

磯崎 智明
NECエレクトロニクス
実装技術部
設計環境解析グループ
グループマネージャー

内田 浩亨
NECエレクトロニクス
実装技術部
設計環境解析グループ
チームマネージャー

矢島 征樹
NECエレクトロニクス
実装技術部
設計環境解析グループ
チームマネージャー

掛川 千賀
NECエレクトロニクス
実装技術部
設計環境解析グループ
主任