

ナノメータ世代のばらつき考慮設計

平田 守央・清水 卓・山田 健太

要旨

半導体の微細化に伴い、トランジスタ特性のばらつきとレイアウトに依存するトランジスタ特性の変動が顕在化しています。トランジスタの性能を最大限に絞り出し、低コストで高性能のLSIを実現するためには、設計段階からこれらの現象と影響度を予測できる設計手法が重要となります。本稿では、弊社のばらつき考慮設計とレイアウト依存考慮設計の取り組みを紹介します。

キーワード

●半導体 ●ばらつき ●モンテカルロシミュレーション ●レイアウト ●トランジスタ ●配線 ●微細化

1. まえがき

トランジスタや配線が微細化するに伴い、素子特性のばらつきが大きくなっています。図1に示すように、トランジスタがターンオンするしきい値電圧のばらつきは、微細化が進むにつれて増加しています。また、図2に示すように、LSIを構成するインバータやNANDなどの論理セル内の負荷容量に占める配線容量の割合が微細化に伴い大きくなっており、配線のばらつきの影響も増加しています。ナノメータ世代

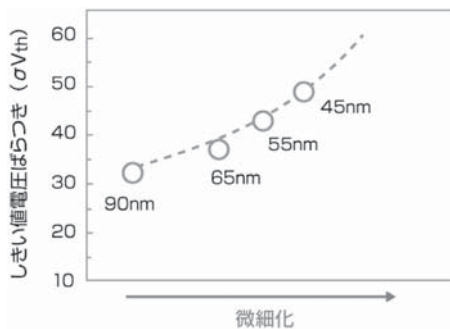


図1 各プロセス世代におけるしきい値電圧ばらつき

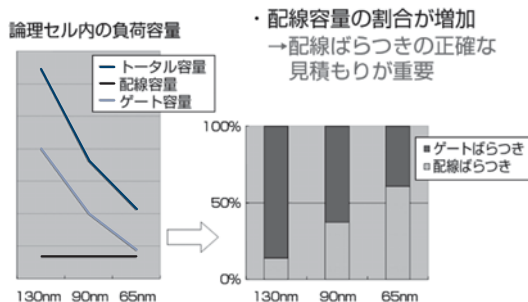


図2 配線ばらつきの影響

(本稿では、ゲート長が90nm以降のプロセスをナノメータ世代と呼んでいます)のLSI設計では、トランジスタだけではなく、配線のばらつきも考慮する必要があります。

本稿では、LSIを構成する論理セル、SRAMマクロ、アナログマクロ、高速インタフェースマクロなどのトランジスタレベル設計を支える基盤となる、ばらつき考慮設計における弊社の取り組みを紹介します。

2. ばらつきの見える化とLSI設計への適用

ばらつきを考慮してLSI設計を行うためには、ばらつきを要因別に分解してモデル化することが重要です。

トランジスタのばらつきは、図3に示すように、「チップ間ばらつき」と「チップ内ばらつき」に大きく分類できます。

「チップ間ばらつき」の影響は、チップ内部のクロックや信号の遅延のチップ間差に現れます。「チップ内ばらつき」の影響は、クロックと信号のタイミングのずれや、オフセットに現れます。

130nm世代ごろまでは、「チップ間ばらつき」が支配的でした。そのため、「チップ間ばらつき」に「チップ内ばらつき」も加えた、すべてのトランジスタが高速にできた場合を

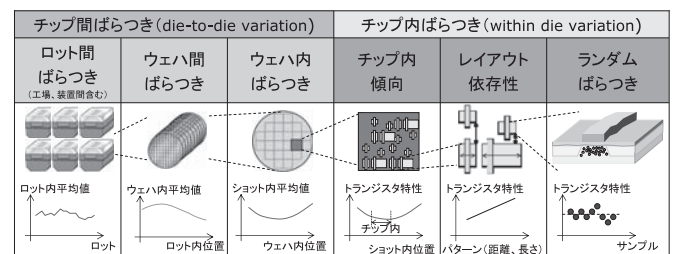


図3 要因別に分解したトランジスタのばらつき

表 ばらつきの要因と対応する設計手法

青字:ナノメータ世代から適用した技術

項目	チップ間ばらつき	チップ内ばらつき	
		レイアウト依存性	ランダムばらつき
トランジスタ	・SPICEコーナーモデル	・レイアウト依存考慮LPE	・モンテカルロシミュレーション (統計SPICEモデル) ・ベリグロムプロット
配線	・コーナーLPE (統計的ばらつき考慮)	・レイアウト依存配線モデル	—

想定したファストコーナーモデルや、すべてのトランジスタが低速にできた場合を想定したスローコーナーモデルなど、比較的簡単なモデルでもLSIの設計が可能でした。

ナノメータ世代となり、トランジスタが微細化するに伴い「チップ内ばらつき」の比率が大きくなると、従来のモデルでは考慮できなかった「チップ内ばらつき」を表す新たなモデルと設計手法（ばらつき考慮設計）が必要となりました。

表に、弊社がナノメータ世代で取り入れているばらつき考慮設計とレイアウト依存考慮設計を、ばらつきの要因別にまとめました。第3章以降では、この表に青字で示したナノメータ世代から適用した設計手法について紹介します。

3. レイアウト依存考慮設計

3.1 トランジスタのレイアウト依存考慮設計

トランジスタの微細化に伴い、ゲート長 (L)、ゲート幅 (W) が同じでも、チャネル部以外の形状や、隣接するトランジスタとの距離などでトランジスタ特性が変動するレイアウト依存性が顕著になっています。

図4は、L、Wが同じトランジスタで、周辺のレイアウトを様々に変えたときの、レイアウト依存性による飽和電流 (Ion) の変動例を示しています。プロット点は、ばらつき成分を排除した純粋なレイアウト依存性を示しています。エラーバーは測定データのばらつき幅で、レイアウト依存性以外のばらつき成分を示しています。この例では、トランジスタ特性ばらつきの約半分をレイアウト依存性が占めています。

図5は、トランジスタの拡散層幅 (LOD) や隣のトランジスタとの距離 (PDX) を変化させたときのIonの変動例を示しています。この変動は、トランジスタを形成するシリコンと、素子分離のためのシリコン酸化膜 (Shallow Trench Isolation : STI) の熱膨張率の違いに起因するストレス (結晶のひずみ)

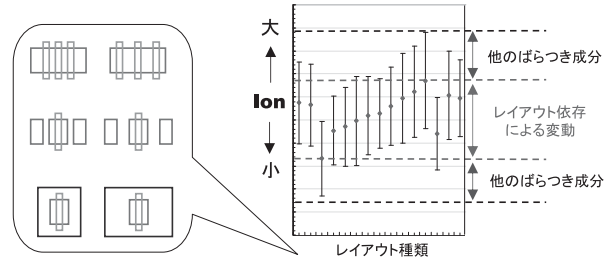


図4 レイアウト依存性による飽和電流 (Ion) の変動

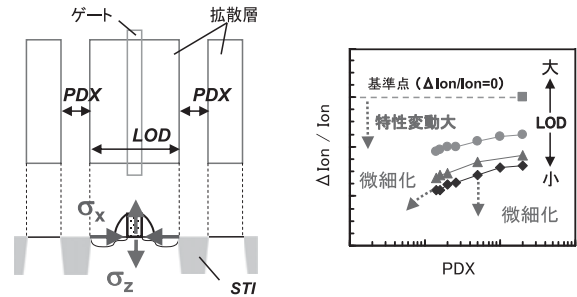


図5 STIストレスによる飽和電流 (Ion) の変動

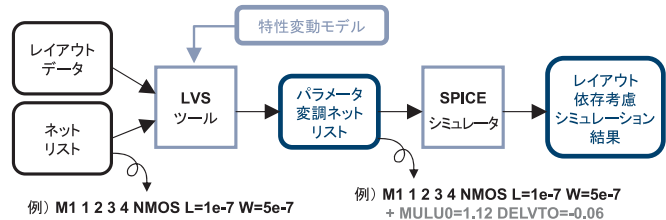


図6 レイアウト依存考慮設計フロー

が、LODやPDXの大きさに伴って変動することで生じます。微細化によりLODやPDXの最小寸法が小さくなり、特性変動も顕著になっています。

弊社では、これらのレイアウト依存性による特性変動を、従来の設計フローに工程を追加せずにシミュレーションで再現できる環境を構築しました。図6に、その設計フローを示します。レイアウト設計後に実施する、レイアウトデータと回路図との照合 (Layout Versus Schematic : LVS) において、レイアウトデータから特性変動に関する図形情報を読み取り (前述のLODやPDXに相当)、レイアウト依存特性変動モデルを用いてトランジスタ特性の変動量を算出し、その結果を反映させたSPICEネットリストを出力します。特性変動量は、SPICEネットリスト中のMULU0やDELVTOなどで指定

します。このSPICEネットリストを用いたSPICEシミュレーションを行うことで、特性変動が再現されます。

レイアウト依存特性変動モデルとしては、弊社で独自に開発したモデル、MIRAI-Seleteで開発したモデル¹⁾、SPICEモデルに組み込まれている特性変動モデルを使用しています。

この仕組みを用いることで、レイアウト依存性に起因するトランジスタ特性の変動を設計マージンとして捉える必要がなくなるためガードバンド幅が約半分に削減でき、LSIの性能を最大20%程度高めることが可能になります。

3.2 配線のレイアウト依存考慮設計

配線の微細化に伴って、レイアウトに依存した配線断面形状の変動が顕著になっています。図7左に示すように、太幅配線の上面は研磨プロセス（Chemical Mechanical Polishing：CMP）により過剰に削られ（ディッシング）、配線の側面は必ずしも垂直には加工されません。配線材料と絶縁膜との間に形成されるバリアメタルの膜厚も配線幅に依存します。図7右は、配線の密度の変化に伴う断面形状の変動を示しています。高密度の領域では、配線は研磨プロセスにより周囲の絶縁膜と一緒に過剰に削られます（エロージョン）。

これらの断面形状の変動により、配線の寄生抵抗や寄生容量が変化します。微細化が進み、配線の寸法が小さくなると形状変動の影響がより大きくなりました。そのため、配線幅がレイアウト寸法通り、配線膜厚が狙いの膜厚通りにできると仮定した従来の単純な長方形の配線モデルを、微細な配線に適用すると大きな誤差が生じます。

弊社では、配線のレイアウト依存性を再現する配線モデルを開発し²⁾、配線の寄生抵抗、寄生容量の抽出（Layout Parameter Extraction：LPE）に適用することで、これらの誤差を削減しています。従来手法では、断面形状に起因する寄

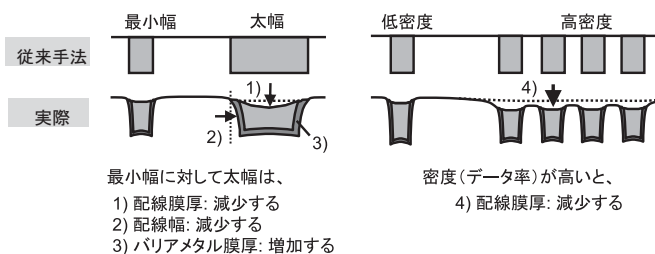


図7 配線断面形状のレイアウト依存性

生抵抗と寄生容量の誤差で配線遅延に最大10%程度の誤差が生じますが、レイアウト依存性を再現する本手法を適用することで誤差を小さくできます。

本手法を導入することで、レイアウト依存に起因する配線特性の変動を設計マージンとして捉える必要がなくなり、ガードバンド幅が削減でき、設計容易性や性能向上が実現されます。

4. トランジスタのチップ内ばらつき考慮設計

トランジスタのしきい値電圧を制御するためにゲートの下に注入する不純物のランダムなゆらぎや、露光やエッチングによるゲート長のランダムなゆらぎに起因して、トランジスタのしきい値電圧やドレイン電流がランダムにばらつきます。

トランジスタのランダムばらつきの影響は、モンテカルロシミュレーションなどの統計的手法で予測できます。市販のSPICEシミュレータにはモンテカルロシミュレーションを実行する機能が組み込まれており、ばらつきを表現するパラメータを記述したSPICEモデル（統計SPICEモデル）と組み合わせることで、手軽にモンテカルロシミュレーションを実行することができます。

しきい値電圧のばらつきとドレイン電流のばらつきなど、複数のばらつきの相関を再現する統計SPICEモデルを実現する手法として、主成分分析を利用する手法³⁾が開発されています。主成分分析法を活用することで、少ないパラメータでトランジスタのばらつきを再現できる統計SPICEモデルが実現できます。

図8は、ゲート長（L）とゲート幅（W）が異なるトランジスタのしきい値電圧のばらつきと飽和電流のばらつきの実測

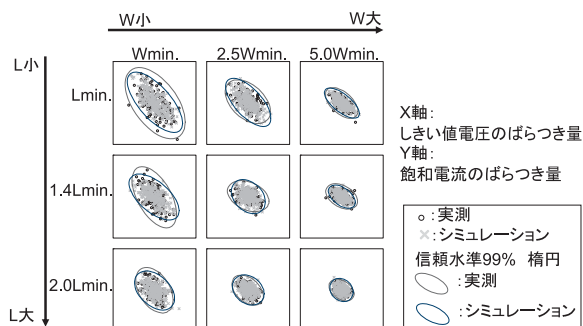


図8 主成分分析法を用いたモデルと実測データの比較

データと、主成分分析法を用いて作成した統計SPICEモデルでのシミュレーション結果です。この統計SPICEモデルでは、ばらつきの相関と、LとWの依存性を良く再現できていることが分かります。

弊社では、トランジスタのランダムばらつきを精度良く再現する統計SPICEモデルを開発し、ばらつきの影響予測に活用しています。

5. 配線のチップ間ばらつき考慮設計 (コーナーLPE)

トランジスタや配線のばらつきが大きくなるのに伴って、クロックと信号のタイミング検証の収束性が悪化しています。そのため、タイミング検証で使用するコーナー条件として設定されるばらつき幅の適正化が重要になっています。本章では、タイミング検証で使用する配線遅延のばらつきの最適化手法を紹介します。

図9左に、同じ配線層に形成する配線の幅と膜厚のばらつきの関係を示します。配線の幅と膜厚は異なる加工工程で決まるので、両者は独立にばらつきます。従来手法では、両者のばらつきがそれぞれ最大、最小となる形状をコーナー条件と設定していました。そのため、コーナー条件は統計的にはあり得ない断面形状となり、コーナー条件の配線遅延には過大なマージンを含んでいました。図9右に示す、異なる配線層に形成する配線のばらつきの関係についても同様のことが言えます。

弊社では、適正なばらつきを実現するように、信号遅延が最大または最小となるようなコーナー条件を統計的に設定する手法を開発し⁴⁾、設計に適用しました(図9の統計的コーナー条件)。

これにより、ファストコーナーからスロウコーナーまでの

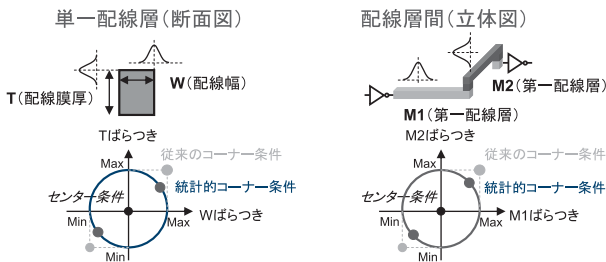


図9 配線のばらつきとコーナー条件設定手法

ガードバンド幅は、従来のコーナー条件に比べて半分程度に縮小できました。その結果、LSIの性能を最大15%程度高めることが可能になり、設計容易性の向上、チップサイズや消費電力の削減などを実現しています。

6. むすび

以上に述べたように、弊社では、トランジスタと配線のばらつきとレイアウト依存性を再現する物理モデルを開発し、設計に適用することで、ばらつきを適切に予測する設計手法を確立しています。今後も、微細化に伴う新たな物理現象に起因するばらつきのモデル化に取り組み、低コストで高性能のLSIの開発を推進します。

参考文献

- 1) K. Yamada et al.; "Layout-aware compact model of MOSFET characteristics variations induced by STI stress", IEICE Transaction on Electronics, vol.91, no.7, pp.1142-1150, 2008
- 2) K. Yamada et al.; "Accurate Modeling Method for Deep Sub-Micron Cu Interconnect", VLSI Symposium on Technology, pp. 111-112, 2003
- 3) K. Takeuchi et al.; "A Highly Efficient Statistical Compact Model Parameter Extraction Scheme", SISPAD 2005 Proceedings, pp. 135-138, 2005
- 4) K. Yamada et al.; "Statistical Corner Conditions of Interconnect Delay (Corner LPE Specifications)", Asia and South Pacific Conference on Design Automation, pp.706-711, 2006

執筆者プロフィール

平田 守央
 NECエレクトロニクス
 基盤技術開発本部
 コア開発部
 チームマネージャー

清水 卓
 NECエレクトロニクスアメリカ
 Staff Design Engineer

山田 健太
 NECエレクトロニクス
 基盤技術開発本部
 コア開発部
 シニアデザインエンジニア