

高信頼・高性能・低消費電力の実現に向けたLSIの研究開発

林喜宏

要旨

LSI基礎開発研究所では、高信頼・高性能・低消費電力デバイスの確立に必要な材料・プロセス・デバイス・回路を開発し、お客様に満足して使っていただくことを目指しています。本稿では基幹CMOS技術（FEOL/BEOL）・差異化技術（RF/回路/ばらつきなど）に関して最近の研究成果の一部について紹介します。

キーワード

●ばらつき制御 ●MOSFET ●多層配線 ●高速インタフェース ●受動素子

1. 研究所の研究戦略

LSI基礎開発研究所は、「お客様と社会の信頼に応えるため、技術革新の創出を実現する、半導体研究のグローバルリーダーを目指す」ことをビジョンに掲げ、微細化を追及する「基幹CMOS技術」と、NECエレクトロニクスの独自性を高め、競争力の源泉となる価値を高める「差異化技術」の開発を研究の柱とし、お客様に喜んで使ってもらえるLSIの実現を目指しています。

「基幹CMOS技術」とは、トランジスタの高速化・低消費電力化・高密度化・低コスト化を、主に寸法の微細化により達成するものですが、微細化が進んだ結果、高額な開発費が必要となることから、グローバルな共同開発体制の中において効率的な開発を推進しています。今後は、単純な微細化だけでなく、新材料や新構造を導入することにより、微細化の

物理限界を超える研究が重要になってきます。

「基幹CMOS技術」がグローバルな研究体制により共通化される中、個々の企業にとってLSIの付加価値を高める「差異化技術」研究の重要性は、ますます高まっています。当研究所で取り組んでいる研究領域として、1)微細CMOS/ばらつき制御技術、2)デバイスシミュレーション技術、3)次世代メモリ対応技術(eDRAMなど)、4)低電力・高信頼インターコネクト技術、5)高速I/Oアナログデバイス技術、6)低電力回路技術等が挙げられます。研究成果を活用し、魅力あるEL社の製品を実現していきたいと考えております。本特集では、最近のデバイス研究成果の一部について紹介します（図1）。

2. トランジスタばらつき制御技術

90nm世代以降のLSIではトランジスタ特性のランダムなばらつきが急激に増加しつつあり、ばらつき対応は製品開発の成否を左右する重要な差異化領域となっています。このような状況を踏まえ、ばらつきを理解した高信頼な設計を可能とするための活動を行っています。具体的にはばらつき測定TEG技術や統計SPICEパラメータ抽出などばらつき評価の基盤技術、理論やTCADを用いてばらつき物理を理解するための活動、ばらつきに対応した合理的設計を実現する統計的設計手法開発、などに取り組んでいます。

ここでは、ばらつきの物理を理解するためのツールである原子レベルTCADシミュレーション技術を紹介します。トランジスタ中に導入される不純物原子の配置や個数がゆらぐことが微細MOSFETのランダムばらつきの主要原因であることが、我々も含めた最近の研究活動から明らかになっています。こ

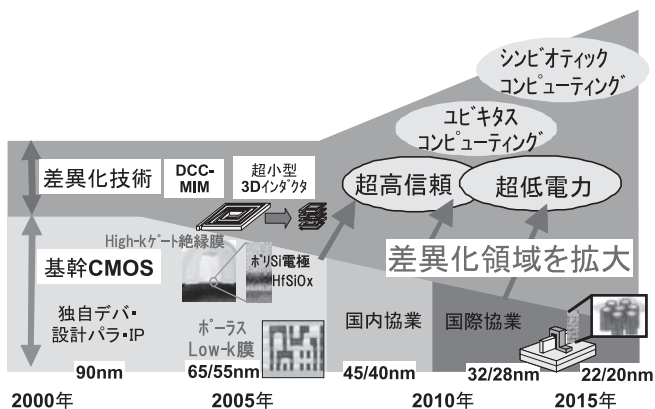


図1 CMOS基盤技術開発と差異化技術

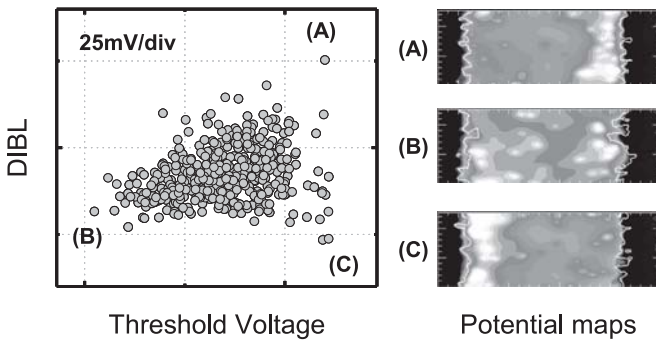


図2 異常DIBL分布とTCADシミュレーションより求めたチャンネル領域のポテンシャル分布

のシミュレーション技術は個別の不純物原子の配置が確率的に異なる多数のトランジスタを計算機上で模擬することで、実際には見ることが困難なマイクロばらつき現象を可視化し、物理の理解を容易にします。

例えば、我々はトランジスタのソースドレイン端子間に電圧をかけた時に、しきい値が通常の正規分布とは異なり、歪んだばらつき方をする「異常分布DIBL (Drain-Induced Barrier Lowering) ばらつき」が発生することを発見しました。図2に示すようなシミュレーション技術を用いることで、このばらつきの発生原因がトランジスタの微細化に必須とされるハロー構造にあることを見出し、ハロー構造の不純物濃度分布を調整することで、その影響を受けにくいトランジスタの設計指針を明らかにしました。

更には、ばらつき現象の回路特性への影響を正確に評価できる回路シミュレーション手法及び今後更に微細化されるSRAMを高品質に実現するための設計手法を確立することで、高品質なSRAMを高歩留りで設計できるようになりました。

3. 低消費電力CMOSデバイス

デバイスが微細化していく中で、リーク電流が大幅に増加するといった問題が顕在化しています。特に低電力混載DRAM実現には、接合リーク電流の低減が非常に重要です。そこで、最先端LSIの性能向上及びリーク電流の大幅削減を両立することを目的に、トランジスタの拡散層に関する構造及びプロセス技術の研究を推進しています(図3)。

今回開発した技術は、以下に示す3つの要素技術からなりま

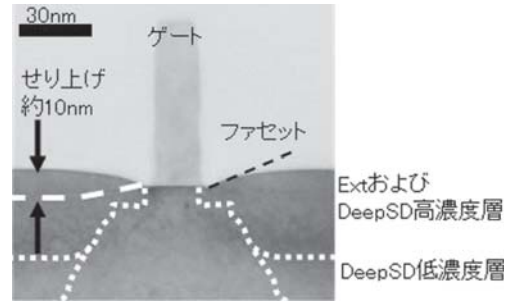


図3 せり上げ拡散層構造の高性能MOSFET

す。まず、エクステンションと呼ばれる、ゲート電極付近の浅い拡散層、及びソース/ドレイン領域と呼ばれる深い拡散層領域上に、ファセット(斜め)面を有するSi(シリコン)膜を成長させた“せり上げ拡散層構造を実現しました。結果として、拡散層は厚膜化されるため寄生抵抗を低減できることから、約1.6倍となるオン電流の増大と、ファセット面の形成によるゲートとソース/ドレイン間の寄生容量の増加抑制が可能となり、動作電力の約30%低減を実現しました。更に、ソース/ドレインと呼ばれる深い拡散層に対して、上層は高濃度、下層は低濃度と分けて不純物を注入しました。これにより、上層はシリサイドとの境界における抵抗の低減、下層は結晶欠陥の抑制及び接合電界緩和によるリーク電流の低減を実現しました。また、拡散層に注入された不純物を活性化させる熱処理方法として、高温ミリ秒アニールの前後に数秒単位で比較的低温のアニール処理を施す新ミリ秒アニール法を適用しました。これにより活性化率が向上するとともに、微量な不純物拡散を発生させることで結晶欠陥を拡散層内に取り込ませ、接合リーク電流が従来手法の約1/1,000以下に低減させました。

これらの技術により、厳しい低リーク性能が求められるDRAM混載LSI (Embedded DRAM、以下eDRAM)などの最先端システムLSIの高速動作・低電力化の実現も可能となります。

4. 低電力多層配線技術

近年プロセスの微細化に伴い、トランジスタを接続する配線(インターコネク)の間隔が狭くなり、配線寄生容量の増大によりLSIの動作消費電力が増大してしまうという課題を抱えています。低消費電力化を図るためには、配線寄生容量を低減する必要があり、特に40nm世代以降のLSIにおいては、

絶縁膜内に空孔を導入することにより比誘電率(k)を2.5以下まで低減させる多孔質Low-k膜材料の研究が盛んに行なわれています(図4)。しかし、層間絶縁膜への空孔導入より、LSI製造工程において水分を取り込んでしまう、あるいは加工ダメージを受けてしまう、などという課題が発生することも知られています。

そこで、多孔質構造の元になる空孔を原料分子自体に持たせ、この分子をプラズマ反応により積み重ねてゆく新しい気相成長プロセスを開発しました(図5)。更に、半導体MIRAIプロジェクト¹で300mmウェハに対応した成膜プロセスと装置の開発を行うことで、水分子も拡散できない0.4nmの独立した空孔から構成される分子細孔(MPS: Molecular-pore-stack)膜材(k~2.5)を得ることに成功しました。これにより、高信頼性と低誘電率とを両立させることができました。更に、この安定性に優れたMPS膜のみで構成された「フルMPS膜適

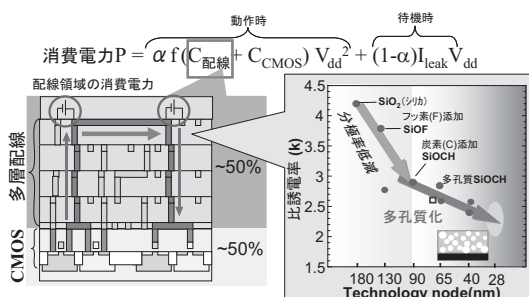


図4 LSI多層配線対応のLow-k材の開発動向

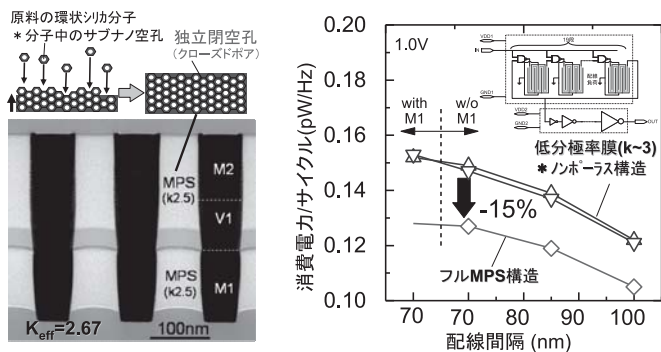


図5 MPS膜を用いた多層配線の断面TEM写真とLSI消費電力低減効果

応銅配線」で構成された多層配線モジュールを開発しました。40nmプロセスで検証した結果、従来の低分極率膜(k~3)を用いた場合と比較して、配線領域での15%程度の低消費電力化に繋がることを確認しました。

LSI動作消費電力低減に向け、更に低誘電率で安定性に優れたLow-k膜材及び配線モジュールの研究を強化していきます。

5. 超高信頼配線技術

最先端LSIや車載用途などでは、多層配線層の低電力化に加え高信頼化も必要とされています。しかしながら、微細化にともない、Cu配線の抵抗が急増し、その信頼性劣化が顕著となってきています。これらの技術課題を本質的に克服するには、配線内のCu膜結晶性を向上させる必要があります。そこで、Cu膜との結晶整合性に優れた新しい”ルテニウム (Ru) / チタン (Ti) 積層バリア構造”を導入した高品質Cu多層配線を開発しました(図6)。

このRu/Ti積層バリア膜成長には、低コストな汎用スパッタリング技術を用いています。現在用いられているTa/TaN積層バリアと比較して、RuはCu結晶安定面((111)面)との結晶格子整合性が良い性質を利用して、配線内のCu結晶性を向上さ

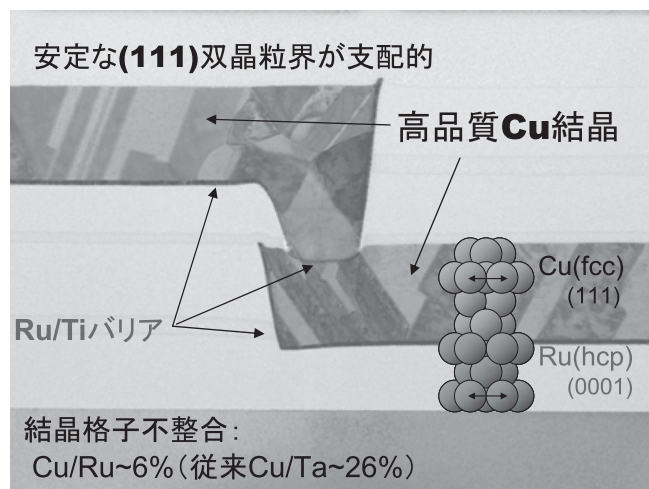


図6 Ru/Tiバリア構造を用いた高品質Cu結晶からなる高信頼Cu配線

¹ 2001年7月~2004年3月(第1期)と2004年4月~2006年3月(第2期)に実施された半導体MIRAIプロジェクトの「低誘電率材料及び配線モジュール技術」に参加し、プラズマ共重合技術、300mmMPS成膜プロセス・装置化技術などが開発されました。本プロジェクトから研究成果の移転を受けています。

せました。更に、Ruの比抵抗（ $\sim 20\text{m}\Omega\cdot\text{cm}$ ）がTa₂N（ $\sim 240\text{m}\Omega$ ）よりも小さいことから、ビア抵抗の70%低減も実現しました。

また、Ru膜の下地膜となるTiも重要な役割を持っています。一般に、Ru膜自体はCu拡散に対するバリア性を有しませんが、TiをRu膜中の粒界に拡散させることで、Ru膜そのものにバリア性を持たすことができることを発見しました。また、Ti膜はビア底部の下層Cu配線に形成されるため、下層配線Cuの粒界にも微量に拡散し、ビア付近のCu原子の拡散を抑制する効果を引き出します。Cu結晶の高品質化とビア底への微量Ti微量添加により、ビア近傍の銅原子の電ロマイグレーションを抑制し、従来Ta/Ta₂Nバリア構造と比較して、EM寿命を従来比35倍改善を確認しています。

これにより、150°C以上の高温に対応した低抵抗・超高信頼のCu配線が実現可能であることを見出しました。

6. 低電力/O対応超小型オンチップインダクタ

ギガビット/秒クラスの高速データ処理が必要とされる高速デジタルLSIでは、図7に示すように、オンチップインダクタを用いて信号波形を整形するCMOS電流モードロジック回路により高速動作を実現しています。しかし、従来のインダクタ素子は配線幅の太い上層配線を用いた平面巻構造であったため占有面積が大きくなり、その結果、チップ面積の増大によるコスト高のために用途が限定されるといった課題がありました。

そこで図8のように、LSI内の微細な下層に位置するLow-k/Cu多層配線を利用して、螺旋状にインダクタ配線を周回させた「3Dソレノイド型オンチップインダクタ」を開発しました。この構造により、従来の大面積平面型オンチップインダクタとほぼ同等の高速応答性を維持しつつ、占有面積を1/6にできることを実証しました。本インダクタ素子を先端CMOS電流モードロジック回路と組み合わせて動作検証を行い、1Vの低電圧で20Gbpsという高速信号処理性能を確認できました。

本3Dインダクタ素子は、CMOSデバイスの微細化以外にLSIの高性能・低コスト・低電力化を進める新たな手段となるため、CMOSデバイスの微細化と組み合わせることで、超高速波・高速信号を取り扱う高速・大容量サーバなどのユビキタス対応機器の更なる高性能・低コスト・低電力化が可能となります。

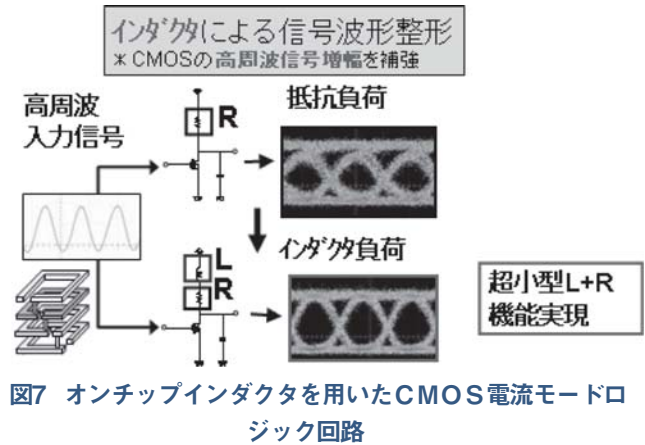


図7 オンチップインダクタを用いたCMOS電流モードロジック回路

■従来単層スパイラルインダクタ (大面積) ■新規3Dソレノイドインダクタ (小面積)

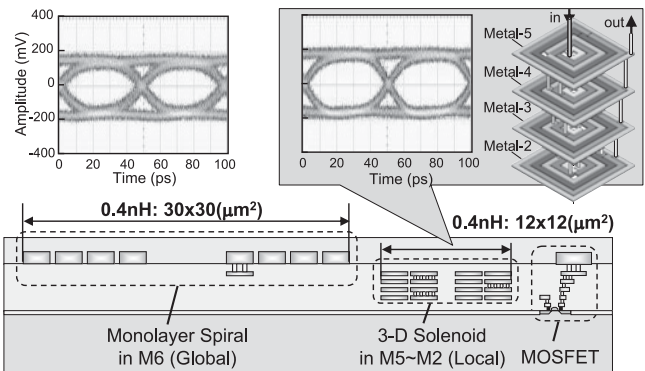


図8 3Dソレノイドインダクタを20Gbps D-F/F回路に適用したアイパターン波形

7. まとめ

当研究所では、高信頼・高性能・多機能・低消費電力デバイスの確立に必要な材料・プロセス・デバイス構造・回路技術及びそれらの統合化技術を開発し、お客様に満足して使っていただく高性能LSIデバイスの実現を目指しています。

執筆者プロフィール

林 喜宏
NECエレクトロニクス
LSI基礎開発研究所
主席研究員