

1枚超解像システムLSIの開発

築瀬 亮二・磯野 浩志・小豆畑 裕明
久保田 剛史・小森 秀樹・松浦 佳弘

要旨

NECエレクトロニクスでは、NEC中央研究所と共同で研究を行った「1枚超解像技術」を用いて組込みに適したシステムLSIを開発しました。本稿ではその技術を用いてASIC（Application Specific Integrated Circuit）設計するために提供するIP（Intellectual Property）と、そのIPを用いて開発した組込みシステムに適したシステムLSI（Large Scale Integrated Circuit）について説明します。

キーワード

●1枚超解像 ●解像感 ● μ PD9245GJ

1. はじめに

近年、画像を扱う機器において画面の大型化や高精細化が進んできました。それに伴い、解像度の低い映像コンテンツを大型画面や高画素数の画面に表示する機会が増えてきています。高解像度パネルに従来の映像コンテンツを映す場合、バイリニア補間やバイキュービック補間処理などの画像拡大処理によってボヤケが発生する問題があります。この問題を解決し、様々な画像・映像を手軽に高画質化する新技術として、1枚超解像IP並びにLSIを開発しました。

2. 1枚超解像技術について

「1枚超解像技術」は、1枚の画像データの情報を解析・処理することにより画像のボヤケを改善し、高画質化を実現する技術です。特に、画像データを拡大処理する際に生じるボヤケにおいて、人物や物体の輪郭部分となる画素の表現調整を行い、画質の補正や色再現性を高め、画像の鮮明化が実現できます。

本来、解像度を向上させるためには、連続する複数フレーム間のデータを演算して高周波成分を抽出し解像度を向上さ



(a)バイリニア拡大後(面積比4倍)



(b)1枚超解像処理結果

*巻頭のカラーページもご参照ください

写真1 処理画像

せていく手法があります。しかし、複数枚のフレームデータを用いる従来手法では解析するデータ量が膨大になるため大容量外付けメモリが必要であり、かつ、処理遅延、消費電流、実装面積やコストが増大してしまいます。さらに、処理が非常に重いためリアルタイム処理が可能なハードウェア化が困難であるなど多くの課題がありました。そこで、少ないデータ解析でも鮮明な画像を実現できるよう、解像度向上という考え方ではなく、「解像感」の向上という考え方に方向転換し、NEC中央研究所と共同で1枚の画像から超解像処理を実現する新たなアルゴリズムを開発しました。

写真1 は、1枚超解像処理結果を示す例です。写真1(a)はソース画像を面積比で4倍にバイリニア拡大したボヤけた印象の画像です。写真1(b)は写真1(a)を入力として1枚超解像処理を行った結果を示しています。画質の鮮鋭さや文字の可読性の向上、光沢感の強調などの効果を得ることができます。

3. 1枚超解像IPについて

新技術を適用した超解像IPは、1枚の画像のみで画質の改善が可能のため処理データ容量が少なく、処理に必要な外付けメモリやソフトウェアも不要です。また、動画像をリアルタイムで処理することができます。データを出力するインターフェースには幅広く普及しているビデオインターフェースが採用されているため、既存システムへの組込みが容易、といった特長を有しています。そのため、このIPを搭載することにより、低解像度の映像・静止画像を拡大して大画面のパネルへ表示する映像機器に対し、システム構成を変更することなく短期間かつ低コストで容易に高画質化を実現できるようになります。

1枚超解像IPは、次の特長があります（表1参照）。

(1) 処理が非常に軽く、低コスト

フルハードウェアで実現しており、外部メモリ(SDRAM/DDR)やソフトウェアを必要としません。回路規模が小さく非常に低コストで実現でき、組込み系用途に最適です。

(2) Full HD動画(1080p)をリアルタイム処理可能

ドットクロック(max.150MHz)に同期して超解像処理を実行します。出力レーテンシが数ライン分に抑えられているのでFull HDの動画であっても処理遅延時間や音声との同期を考慮する必要がなくリアルタイムで処理できます。

表1 IP機能表

項目	内容
制御用インターフェース	AMBAバス(APBバス)または直接端子制御
入出力信号形式	YUV入力YUV出力 最大16ビット精度まで対応 (8/10ビットは開発済み、12/16ビットは計画中)
サブサンプリング	YUV4:2:2 またはYUV4:4:4
画素サイズ	動画最大 1,920×1,080 (Full-HD) 最小 320×240 (QVGA) 静止画最大 8,192×8,192 最小 128×128 または 160×120 (QQVGA)
内蔵メモリ	SRAMを内蔵(外部メモリ不要)
動作クロック周波数	最大150MHz(Full-HD時)

(3) 既存シャープネス技術に比べてS/Nが悪化しない

一般的なエッジエンハンス処理で発生しやすいノイズ強調を最低限に抑えつつ画質を改善します。

(4) お客様の既存システムへの組込みが容易

標準ビデオインターフェースYUVでお客様の既存システムに容易に接続できるため、システム構成の変更が不要です。

4. 1枚超解像LSIについて

1枚超解像IPを用いて、150 μ mプロセスで実現性を示すために μ PD9245GJを開発しました。最大画素数は、SXGA(1,280×1,024ピクセル)まで対応できます。

設計のコンセプトとしては、既存システムに容易にアドオンでき誰でもお手軽に使える使いやすさを重視しています。

操作性はもちろんのこと、新規システム、既存システムの双方に適用していただくことができるように簡素化した仕様で実現しました。

図にブロック図、写真2にチップ写真、表2に特徴を示します。ホストインターフェースとしてはI²Cインターフェースを搭載しており、各種初期設定や画質調整パラメータ設定ができます。

色変換回路について、さまざまな色変換が利用されています。テレビジョンの分野ではYUV(もしくはYCbCr)、情報機器ではRGBが多く用いられていますが、それらのインターフェースに対応できるように変換回路と切り替え機構を設けています。また、画素数設定を容易にするため、画像サイズ自動取得回路を搭載しています。レジスタ設定で任意の画素

1枚超解像システムLSIの開発

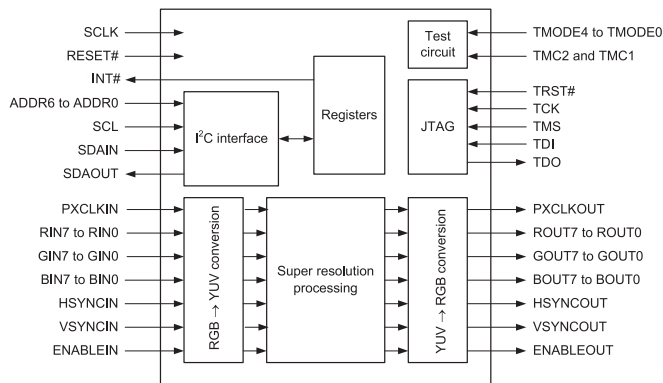


図 ブロック図



写真2 チップ写真

表2 μPD9245GJの特徴

項目	内容
制御用 インタフェース	I ² Cバス(スレーブ)
入出力信号形式	RGB/YUV選択 (ITU-R BT.709/601色変換回路内蔵) カラー(8ビット)
サブサンプリング	YUV4:2:2 またはYUV4:4:4
画素サイズ	動画最大 1,280×1,024 (SXGA) 最小 320×240 (QVGA) 静止画最大 8,192×8,192 最小 128×128 または 160×120 (QQVGA)
動作クロック周波数	最大108MHz(SXGA 60FPS時)
その他	画像サイズ自動取得
パッケージ	144ピンLQFP モールドサイズ 20×20mm
電源電圧	IO電源: 3.3V、コア電源: 1.5V

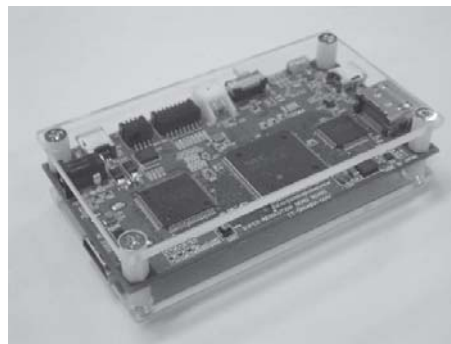


写真3 評価ボード

数に設定することもできます。アップスケーリング回路は、このLSIには内蔵していません。既存システムではすでに相当する機能を搭載しており重複搭載となり、組み込みシステムでは電力消費に対する増加を軽減することを考慮しています。

5. 評価ボードについて

画質評価を容易にするため、μPD9245GJを搭載したボードを作成しました(写真3)。組み込みシステムを想定した小型サイズ(90×50×23mm)のボードです。DVI-D信号(RGB信号)を扱うことができ、DVDプレーヤやパソコンなどの画像出力装置と表示モニタ間に挿入して繋ぐだけで簡単に1枚超解像の実画像評価が可能になります。また、USB制御する回路を搭載しています。基本的にはバス供給の電力で動作しますが、ノートパソコンなどの電力が少ない環境では、電力補助する電源コネクタも設けてあります。

6. おわりに

以上、手軽に画質改善を可能とする1枚超解像IP及び、1枚超解像LSI(μPD9245GJ)を紹介してきましたが、1枚超解像技術はその名の通り1枚の画像から超解像処理を実現しているため改善効果には限界があります。特にワンセグなど低ビットレートの入力画像に対する改善効果を上げることは今後の課題となっているため、今後さらなる高画質化を追求し、低ビットレート画像まで適用範囲を拡大した1枚超解像IP及び1枚超解像LSIを継続して開発していきます。

超解像技術は、今後も映像を扱う様々な分野から注目され

続けると予測されます。他社には真似できない差異化技術の1つとして引き続き開発を進めていきます。

* ARMはARM Limited社の登録商標です。

執筆者プロフィール

築瀬 亮二

NECエレクトロニクス
ASICソリューション事業部
プラットフォーム開発グループ
シニアデザインエンジニア

小豆畑 裕明

NECエレクトロニクス
システムASIC事業部
システムLSI開発1プロジェクト
主任

小森 秀樹

NECエレクトロニクス
ASICソリューション事業部
第一ソリューション1グループ
シニアシステムインテグレーター

磯野 浩志

NECエレクトロニクス
システムASIC事業部
システムLSI開発1プロジェクト
チームマネージャー

久保田 剛史

NECエレクトロニクス
システムASIC事業部
システムLSI開発1プロジェクト
主任

松浦 佳弘

NECエレクトロニクス
ASICソリューション事業部
第一ソリューション1グループ
チームマネージャー