

SX-9のLSI・回路技術

棚橋 俊夫・土田 純一・松澤 肇
丹羽 健二・佐藤 達夫・片桐 勝

要 旨

本稿ではSX-9のLSI技術・回路技術及びその検査技術の概要について述べます。SX-9ではNECエレクトロニクスと共同開発した最先端CMOSテクノロジーを採用し、超高速のデータ転送を実現する高速インタフェース技術及び高速・低スキュークロック分配技術、ノイズ低減技術、そしてこれらを検査する検査技術を開発しました。

キーワード

●CMOS ●SerDes ●MIM ●ノイズ

1. まえがき

これまでSXシリーズではCMOSテクノロジーによる高集積化、及びプロセッサの平行化により高性能化を実現しつつ、コストパフォーマンスを向上させてきました。

SX-9では、更に高い性能を実現するためにLSI技術及び回路技術を発展させています。また、システムの性能向上のためには、LSI間信号伝送の高速化も非常に重要です。SX-9では、マルチチャネル・シリアル・インタフェースを新規に開発し、LSI間的高速データ転送を実現しています。更に、インタフェース回路の低消費電力化、小面積化によりLSIへの多チャネルの搭載を実現しています。

高速システムにおける処理能力の向上には、LSI内信号伝送の高速化とともに、LSI間信号伝送の高速化が必要となります。同様に、信号伝送の高速化を妨げる要因となる電源ノイズ対策も重要です。SX-9では高速、かつ安定した信号伝送を実現するために、信号伝送時の減衰が小さい低損失材料を使用した基板、伝送信号の波形を改善するイコライズ機能を備えた回路などを採用しています。また、トランジスタが高速化し、電源電流の時間変化が大きくなることにより電源ノイズが増加するため、デカップリング用コンデンサの搭載数最適化などにより電源ノイズの低減を実現しています。

2. LSI技術

表と写真1にSX-9のCPUチップの諸元と外観を示します。

SX-9に使われるLSIの共通仕様として、65nm CMOSプロセス、11層銅配線、及び低誘電率層間絶縁膜などの採用による配線遅延の改善、MIM(Metal-Insulator-Metal)プロセスの開発に

表 CPUチップ諸元

項目	CPUチップ
テクノロジーノード	65nm
搭載トランジスタ数	350Mトランジスタ
電源電圧	1.0V
ピン数(内信号ピン)	8,960(1,791)
配線層構成	銅11層
I/Oインタフェース	CML
実装形態	ベアチップ実装

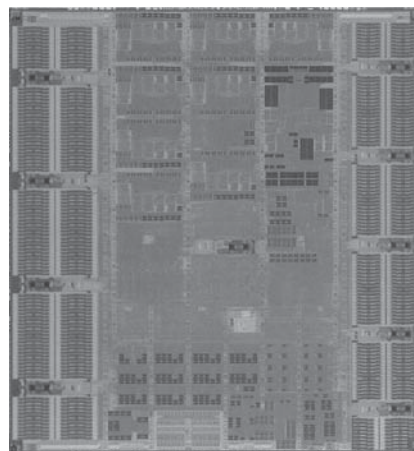


写真1 CPUチップ外観

よる大容量オンチップキャパシタの実用化、ゲート酸化膜の薄膜化による高性能な低電源電圧化などを行っています。更に、新規のマルチチャネル・シリアル・インタフェースの開発により、低転送レイテンシを実現しています。

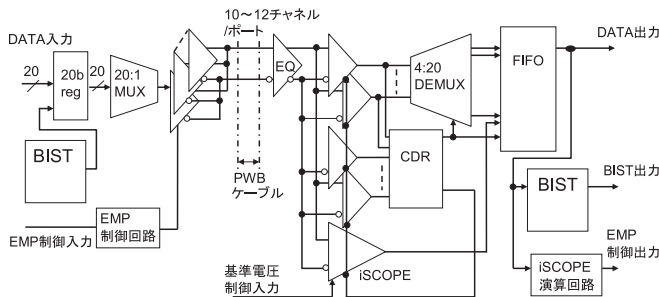


図1 マルチチャンネル・シリアル・インタフェース

2.1 シリアルインタフェース

10Gbpsの伝送速度のSerDes技術を開発しました。超高速のシリアルインタフェースでは、光伝送にするのが一般的ですが、LSI間の多数のチャンネルを接続するために、電気伝送することを前提に開発しました。

伝送路のプリント配線基板(PWB)やケーブルの周波数特性により、波形歪が発生し、信号が1/10程度に減衰するため、トランスミッタ回路(TX)には、プリエンファシス(EMP)回路、レシーバ回路(RX)には、イコライザ(EQ)回路を搭載しました。また、RX上に、サンプリング・オシロスコープ(iSCOPE)機能を搭載し、装置に搭載した状態で、受信可能な電圧とタイミングのアイ波形を採取できます(図1)。

iSCOPE機能を使用し、基準電圧と入力電圧と比較し、高低の情報と、前後のデータ値とを演算し、診断プロセッサにEMP制御出力を送付します。装置の初期化時に、この信号群から、TXのプリエンファシスの前後のデータの影響の強弱を反映したEMP制御信号とiSCOPE機能の基準制御信号を作成し、SerDes回路に送付します。繰り返して調整を行うことにより、アイを最大にします。

TXとRXは、1チャンネル当たり、0.31平方 μm の小面積化を実現し、LSI当たり、約400チャンネルのTXとRXを搭載しています。

2.2 クロック

クロック分配の種類は、大きくは、論理回路用クロックとインタフェース用クロックとがあります。

論理回路用クロックの分配方式は、2段階のクロック分配を採用しています。広域を分配するクロックは、クロック専用の低抵抗の厚膜配線層で配線することにより、抵抗による波

形なまりを低減するとともに、配線のRC成分だけでなく、インダクタンス成分を考慮し、等遅延で分配しています。狭域を分配するクロックは、等遅延で分配するとともに、クロックドライバーの駆動力を最適化することで、クロックスキューの低減を実現しています。また、必要に応じて、部分的にクロックを過倍する回路、クロックゲーティング回路を採用し、低消費電力を実現しています。

インタフェース用クロックは、CML(Current Mode Logic)回路を採用しています。CML回路は、差動信号で構成し、一定の電流で駆動する特徴があるため、CMOSインバータ回路に比べ、クロック周波数の高速化を実現し、電源ノイズの影響によって発生するクロックジッタを大きく低減させています。

SX-9では高速なクロックを生成するために、LSI外部からのクロックを過倍するAPLL(Analog Phase-Locked Loop)回路を採用しています。APLLは、LSI上に作りこんだインダクタと可変容量で構成されるLCタンク型VCO(Voltage-Controlled Oscillators)を内蔵し、LSI外部クロックと内部クロックとの位相を合わせ、同期したクロックを生成しています。電源ノイズ対策として、電源レギュレータ回路を内蔵しLSI上で専用の独立した電源を生成することによりジッタを小さくしています。

3. 高速回路技術

高速システムにおける処理能力の向上には、LSI内信号伝送の高速化とともに、LSI間信号伝送の高速化が必要となります。また信号伝送の高速化を妨げる電源ノイズへの対策も重要となります。

3.1 伝送技術

LSI間信号伝送では、伝送路の表皮効果や誘電体損失により信号の高周波成分が減衰します。このため配線が長くなると信号が正しく受信できなくなります。

SX-9のLSI間接続構造は図2に示すように複数の配線基板間を接続する減衰の大きな構成となっています。このような伝送路構造で正しく信号受信するために、プリエンファシス機能を付加しました。プリエンファシス機能はSX-8でも採用しましたがSX-9では振幅を調整するステップ数を多くし、また最適なステップ値を受信側の波形をモニターすることで自動

的に設定するアルゴリズムを導入し、より高機能化しました。

更に配線基板には減衰の小さい低損失基板を採用し、基板間を接続する低損失ケーブルを新規開発することで伝送路全体の減衰量を小さくしました。

また伝送路構造の決定に際し、伝送路シミュレーションとテスト用LSIの評価を行いました。

伝送路シミュレーションでは配線基板の3次元構造を電磁界解析してモデル化するシステムを導入し、高周波での精度を

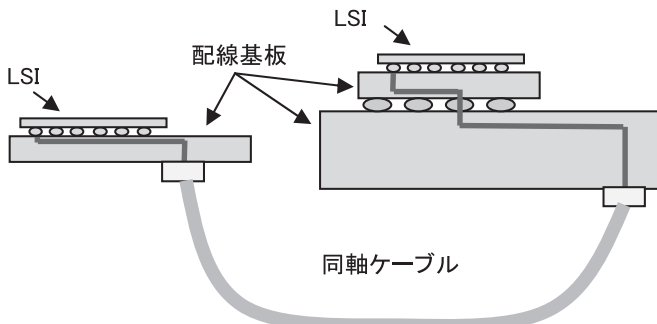


図2 SX-9 LSI間接続構成

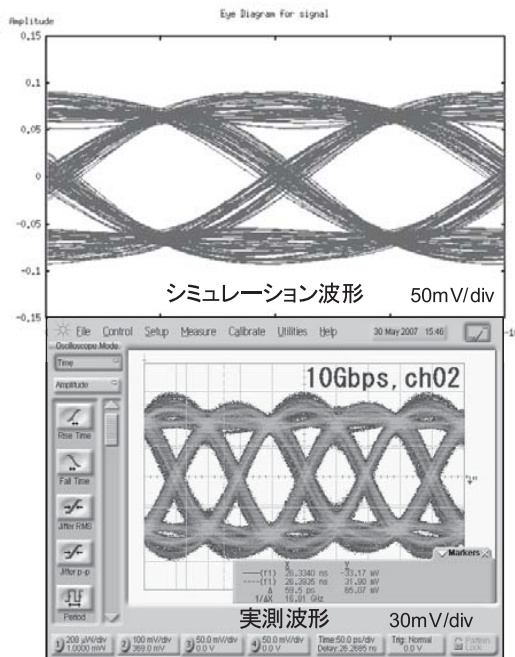


図3 シミュレーション波形vs実測波形

向上させました。この電磁界解析シミュレータを使用し配線基板の配線長、ビアホール、パッド形状など、各種条件を変更し、受信波形のアイ開口が設計目標値を満たすような伝送路構造を実現しました。

また伝送路シミュレーションで求めた受信波形と、実際の伝送路を伝送した後の受信波形を比較し、シミュレーションが精度良くあっていることを確認しました。シミュレーション波形と実測波形を図3に示します。

以上のような検討、検証を行うことで図2に示すような伝送路構造でのLSI間伝送を実現しています。

3.2 電源ノイズ対策

超高速伝送を実現するためには、電源ノイズを十分に抑制し、伝送波形に重畳されるジッタの低減、及び回路動作におけるマージン確保を図る必要があります。SX-9では、コアロジック部で発生した電源ノイズが、超高速I/O部にどの程度伝播するかを、基板~LSIを考慮した一体解析を行い定量的に把握しています。この伝播量がSerDes回路へ影響を与えない所望の値となるように、オンチップ容量を搭載しています。

今回、SX-9では、ゲートで作る容量だけでは十分な容量値を確保できなかったため、LSI最上層にMIM容量をチップ全面に均一となるよう配置して、効率的かつ有効なノイズ低減を図りました。MIM容量を搭載することで、ノイズ量は広い周波数帯にわたって低減可能となります。図4に示したMIM容量の有無によるノイズ量を、周波数をパラメータとして測定した結果から、MIM容量が広い周波数帯にわたって、電源ノイズを低減することが分かります。

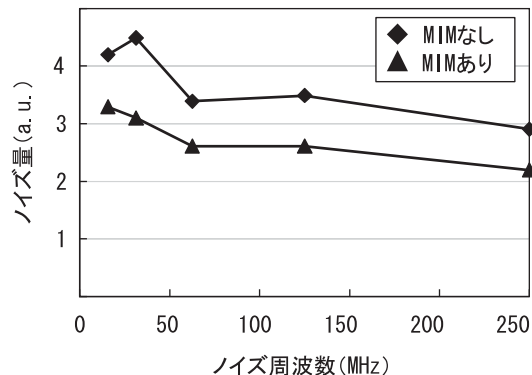


図4 MIM容量評価結果

こうしたノイズ低減対策の効果を、LSI内に搭載したノイズ測定回路、ジッタ測定回路で観測するとともに、クロック変動回路によって規定量のジッタ印加を行い検査を行うことでマージンの確保を実現しています。

4. 検査技術

4.1 LSIテスト

SX-9のLSIテストにおいては、前機種から採用しているスキャンパス方式のほか、実動作速度で動作可能なBuilt In Self Test (BIST)回路を採用することで高検出率を実現しています。一般的にメモリ回路に対してはBIST回路が広く使用されていますが、SX-9ではメモリ回路に加えてロジック部分にも独自のBIST回路を開発して搭載しています。更に、CPUでは回路を分割してテストできるようにBIST回路を設計することでLSIテスト時の消費電力を低減し、LSIテストの電源容量の制限を解決しています。

4.2 モジュールテスト

SX-9では大量のRAMを使用していますので、LSIの検査と同様にRAMの検査は重要です。今回RAMを搭載したモジュールのテストにおいて、専用の検査装置を開発し、モジュール単体でRAMの実動作速度での検査を実現しています。また、モジュールに搭載されているLSIにRAMのテスト機能を搭載することで、低コストの検査設備を実現しました。

4.3 同軸ケーブルテスト

SX-9ではモジュール間の伝送に同軸ケーブルを使用していますが、10Gビット/秒という高速信号を安定して伝送するためには、従来の導通検査だけでは不十分です。しかし、細かい電気特性を測定するには長大な検査時間を要するために現実的ではありません。そこで、今回新たにケーブル検査装置を開発しました（写真2）。この検査装置では実際に10Gビット/秒でのデータ伝送を行い、エラーレートを測定することで高い品質保証を実現しています。また、エラーレート測定は測定用LSIによって行われ、短時間での測定を実現しています。

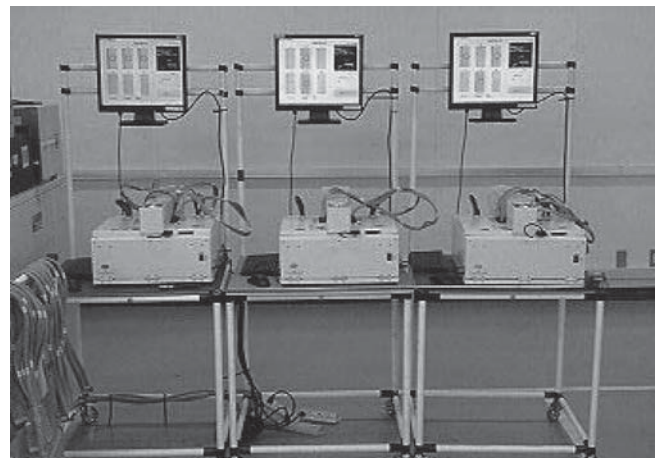


写真2 ケーブル検査装置外観

5. むすび

以上、SX-9のLSI技術、回路技術、検査技術の概要を述べました。今後も高性能と優れたコストパフォーマンスを満足するスーパーコンピュータを実現するため、より優れたLSI技術、回路技術を開発していく所存です。

執筆者プロフィール

棚橋 俊夫
第一コンピュータ事業本部
コンピュータ事業部
技術エキスパート

土田 純一
第一コンピュータ事業本部
コンピュータ事業部
技術エキスパート

松澤 肇
第一コンピュータ事業本部
コンピュータ事業部
技術エキスパート

丹羽 健二
第一コンピュータ事業本部
コンピュータ事業部
主任

佐藤 達夫
第一コンピュータ事業本部
コンピュータ事業部
エグゼクティブエキスパート

片桐 勝
第一コンピュータ事業本部
コンピュータ事業部
エグゼクティブエキスパート