

低消費電力を実現する55ナノメートル・セルベースIC製品「CB-55L」

中安 哲理

要旨

55nmプロセスを使用したセルベースIC製品であるCB-55Lでは、プロセスの微細化による回路規模や複雑度の増大に対して、開発期間や開発コストの増大を抑えるための各種手法を採用しています。また、回路設計においても、いっそうの低消費電力化を図るための各種手法を採用しています。短期間での開発が要求されるセルベースICにおいて、これらの要求に答えるための設計手法について紹介します。

キーワード

●CB-55L ●55nmプロセス ●セルベースIC ●低消費電力 ●高集積 ●大規模設計

1. まえがき

デジタルコンシューマ分野における商品開発動向を見ると、フラットパネル・テレビのフルHD対応や携帯電話の高機能化・高性能化の流れはとどまることがありません。このため、これら製品を構成するLSIに対しても、よりいっそうの大規模化・高集積化が要求されます。

一方、携帯電話などバッテリーを動力源とする携帯機器においては、動作時間の確保も同じくらい重要な事項となっており、そのため製品を構成するLSIに対しても低消費電力化の要求は強くなっています。バッテリーを動力源としない製品においても、昨今の環境意識の高まりにより消費電力の削減が要求されています。

これらデジタルコンシューマ製品向けのASIC開発を主なターゲットとして、NECエレクトロニクスでは、55nmプロセスを使用したセルベースIC製品であるCB-55Lを開発し、2007年1月より製品受注を開始しました。これにより、大規模・高集積化によるLSIの高性能化と、低消費電力化の両方を実現することが可能になります。以下に、CB-55Lの概要および大規模・低消費電力のLSIを短い開発期間かつ低コストで実現するための設計手法について紹介します。

2. CB-55L製品概要

CB-55Lは、量産レベルでは世界で初めて55nmプロセスを使用したセルベースICです。製品概要を、表1に示します。

NECエレクトロニクスの55nmプロセスでは、新たにHigh-k

ゲート絶縁膜を採用することにより、リーク電流の削減による低消費電力化とトランジスタ性能の向上の両立を可能としました。図1に示すように、90nmプロセスのセルベースIC製品であるCB-90M/CB-90Lと比較して高速動作を実現する一方、単位ゲート当たりのリーク電流は削減されています。また、

表1 CB-55L製品概要

項目	CB-55L 製品概要
プロセス	55nm CMOSプロセス
電源電圧(コアロジック)	1.0V-1.2V
インタフェースレベル	3.3V, 2.5V, 1.8V
配線層数	6Cu+1Al, 7Cu+1Al
対応パッケージ	PBGA, FPBGA, FCBGA

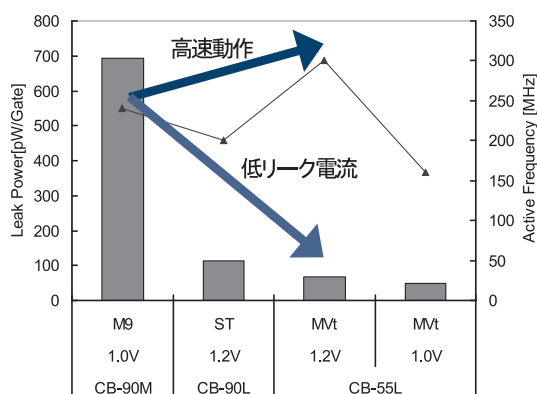


図1 90nm/55nm 標準Vtセルの動作周波数/ゲート当たりのリーク電流

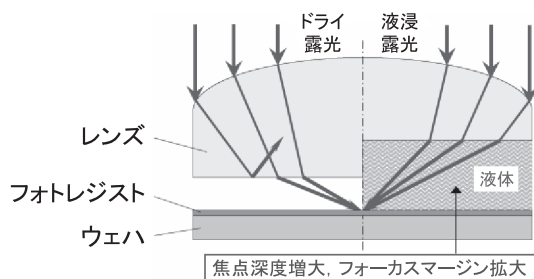


図2 液浸露光技術

製造技術として他社に先駆けてArF液浸露光技術を導入しました（図2参照）。この技術により、リソグラフィ工程における製造マージンを確保することが可能になり、先端プロセスを使用した製品の安定供給が可能になります。

CB-55Lでは、表2に示すようにしきい値電圧（以下 V_t ）の異なるトランジスタで構成される3種類のセル・ライブラリを用意しています。LSIの動作周波数に応じて適切なセル・ライブラリを使用することにより、リーク電流を削減することが可能になります。セル・ライブラリは、1.0Vから1.2Vまでの電源電圧に対応しています。また、セル・ライブラリごとに通常ユーザロジックの設計に使用する高密度版セルと、主に高速マクロの設計に使用する高速版セルの2種類のライブラリを準備しています。

メモリマクロは、SRAMのほかに90nm世代でも実績のあるエンベデッドDRAM（以下eDRAM）も準備しています。それぞれのメモリのセルサイズは表3のとおりです。セルサイズは他社65nm/55nm世代プロセスと比較してトップクラスのサイズを実現しています。CB-55Lでは、eDRAMを使用した場合にも、セル・ライブラリをはじめ各種コアはそのまま使用可能

表2 CB-55Lセル・ライブラリー一覧

セル名称	HVT	MVT	LVT
しきい値電圧(V_t)	高	中	低
用途	低リーク	標準	高速動作
ターゲット周波数 (高密度版セル)※	220MHz	300MHz	450MHz
(高速版セル)※	266MHz	400MHz	600MHz
電源電圧	1.0V-1.2V		

※動作周波数は、1.2V動作時

表3 メモリセルサイズ

項目	SRAM (高密度タイプ)	eDRAM
面積	0.446 μm^2	0.124 μm^2

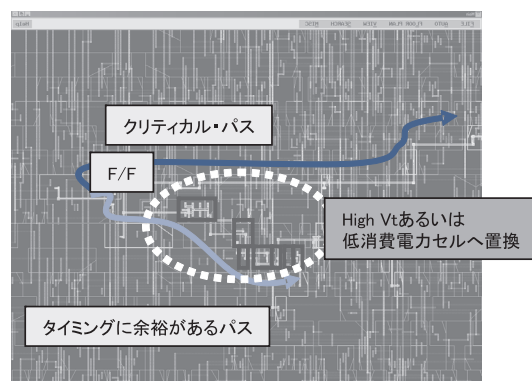
です。また、eDRAM用プロセスが追加されることによる、タイミング設計やレイアウト設計に対する制約はありません。LSIで要求されるメモリサイズや使用用途に合わせて、SRAMとeDRAMを柔軟に選択することが可能です。

3. 低消費電力化のための手法

CB-55Lでは、プロセスの改善による低消費電力化のほかに、LSIの設計においても以下のような手法を導入することによって低消費電力化を図っています。

3.1 マルチ V_t セル・低消費電力セルの使用による低消費電力化

CB-55Lでは、前述したように V_t の異なる3種類のセル・ライブラリを準備しています。 V_t の低いセルは高速動作が可能である一方、リーク電流が大きくなります。 V_t の高いセルでは、リーク電流が小さい一方動作速度は遅くなります。レイアウト設計終了後に、タイミング的に余裕のあるパス中のセルを V_t の高いセルに置き換えることによって、タイミング設計に影響を与えることなくリーク電流の削減が可能になります（図3、図4参照）。

図3 マルチ V_t セル置き換え例

低消費電力を実現する55ナノメートル・セルベースIC製品「CB-55L」

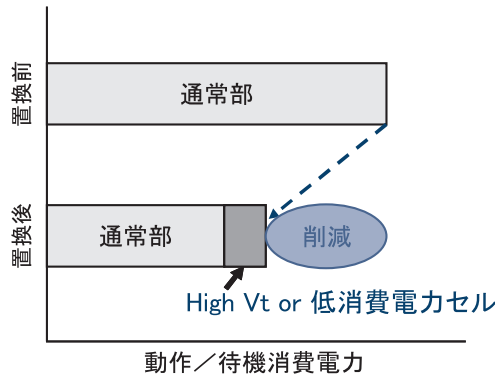


図4 マルチVt/低消費電力セル置き換え効果例

低消費電力セルは、通常セルに対してゲート幅を削減することによって、動作電力の削減を図ったセルです。高Vtセルへの置き換えと同様に、レイアウト設計終了後にタイミング的に余裕のあるパス中のセルを、本セルに置き換えることによって、タイミング設計に影響を与えることなく動作電力の削減が可能になります。

これらマルチVtセルや低消費電力セルは、同一ファンクションのブロックとメタル配線形状や端子位置が同一のため、配線の修正なしにセルの置換が可能です。このため、レイアウト設計期間に与える影響を最小限に抑えて低消費電力化を図ることが可能です。

3.2 クロックゲーティング、電源分離・内部電源スイッチによる低消費電力化

LSIの動作電力を削減するためには、回路やモジュールに供給されているクロックを制御し、回路が動作していない場合にはクロックを停止させることが有効です。過去の製品と同様に、CB-55Lでもクロック制御用の専用ブロックを用意しており、EDAツールにより容易に適用することが可能です。

さらにリーク電流を削減するための手法として、電源分離または内部電源スイッチを使用する手法があります（図5参照）。動作していない回路やモジュールの電源を遮断することによって、リーク電流を削減できます。電源分離を行った場合には、モジュールごとに異なった電源電圧を与えることによって、同時に動作電力を下げることも可能です。内部電源スイッチを使用する場合には、電源遮断時のデータ保持を

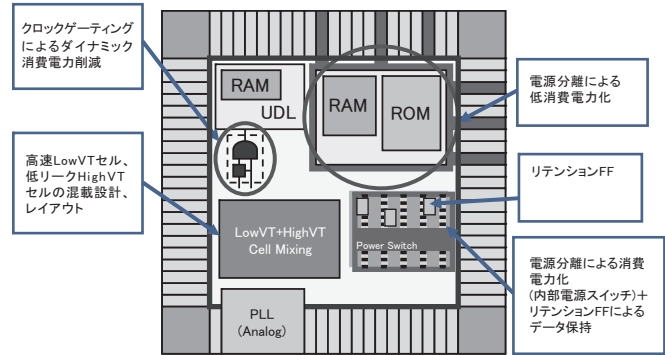


図5 低消費電力化の例

目的としてリテンション・フリップフロップを使用することが可能です。このフリップフロップには、バックアップ用電源が供給されており、メインの電源が遮断された場合にもデータの保持が可能です。

3.3 低消費電力設計を実現する一貫した設計フロー

第3章 第2節で示したような、電源分離や内部電源スイッチを使用した低消費電力化の方法は、低消費電力化の要求が強いモバイル用途向けのLSI設計などですでに実績があり、一部セルベースIC設計においても適用されています。しかし、これら低消費電力のための手法を採用する場合には、機能設計時に電源制御の仕様を定義し、論理設計および回路設計に反映させる必要があります。これらの設計、検証は通常的设计と比較して複雑であり、また電源制御の仕様や手法は設計フロー中のEDAツールによって異なり、一貫した設計フローを構築するのが難しいといった問題がありました。

このような課題を解決し、短期間での開発が要求されるセルベースIC設計において多様な低消費電力化の要求に対応することを目的に、CB-55Lでは業界標準化団体Si2 (<http://www.si2.org/>) 準拠の共通パワーフォーマットであるCPF(Common Power Format)を使用した設計フローを採用しました（図6参照）。これにより、設計者の意図する低消費電力化設計の指針を論理設計からシミュレーション・レイアウト設計まで一貫して考慮することが可能となり、設計の容易化・開発期間の短縮を実現できます。

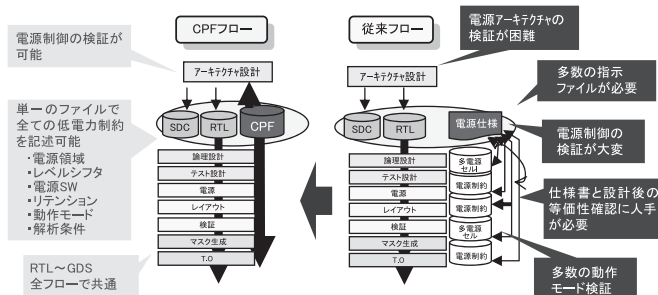


図6 CPFを使用した設計フロー例

4. 大規模LSI設計のための施策

CB-55Lでは、搭載可能な回路規模は90nm世代の2倍以上となります。また、CB-55Lで実現されるLSIは、搭載される製品の高性能化に対応するため、より複雑なものとなります。このような大規模かつ複雑なセルベースICを従来と同等の設計期間・費用で設計するために、CB-55Lでは様々な手法を採用しています。

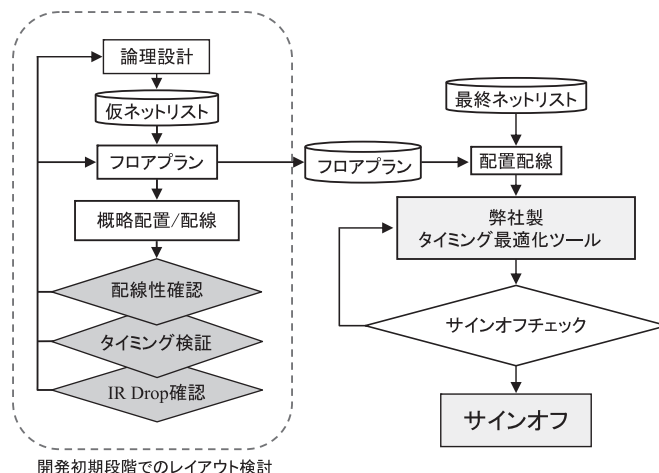
また、LSIの大規模・複雑化に伴い、設計完了の前後やサンプル評価時にお客様のECO（Engineering Change Order：設計後の回路変更）の要望が増えることが想定されます。CB-55Lでは、低コストかつ短時間でECOに対応するためにECOの容易化手法にも対応しています。

4.1 開発期間の短縮を実現する開発手法

レイアウト設計の工程短縮に向けた手法の1つとして、開発初期段階において仮の回路情報を使用してレイアウト設計の試行を行う手法を適用します。これにより、以下のような項目の検証を早期に実施することができます。このため、論理設計やチップのフロアプランへの早期のフィードバックを行うことが可能となり、LSI開発の後戻りや設計工程の後工程での修正期間の削減ができます。

- ・ LSIのフロアプランの妥当性および配線性の確認
- ・ タイミングの確認
- ・ チップ内IR Dropやノイズの検証など、シグナル・インテグリティ（以下SI）・パワー・インテグリティ（以下PI）問題の影響の確認

タイミング収束には、独自のタイミング最適化ツールを使用します。これにより、複数のライブラリコーナーの考慮や



開発初期段階でのレイアウト検討

図7 開発期間短縮を実現する開発手法

SI・PIの考慮など、先端プロセスで要求される各種の項目を満たしながら迅速かつ効率的なタイミング収束が可能です（図7）。

4.2 ECO容易化手法

設計完了前後で発生したECOに対して、低コストかつ容易に対応し、開発期間に与える影響を最小限に抑えるために、CB-55Lでは以下のような手法を採用しています。

- 1) **ダミーのフリップ・フロップを使用したECO対応**
ダミーのフリップ・フロップをあらかじめ回路に入れておき、設計の最終段階で発生したECOに対して、レイアウト済みデータの配線修正により対応する手法です。レイアウト設計の後戻りが少ないため、開発日程に大きな影響を及ぼすことなくECOに対応可能です。
- 2) **メタル配線層のみの修正によりECOに対応する手法**
設計完了後のECOに対して、メタル配線層の修正のみで対応する手法です。製造に必要なマスクの修正はメタル配線工程用のみですので、コストを最小限に抑えることが可能です。また、本フローはEDAツールによる自動化を実現しており、数10箇所程度の回路修正であれば数時間で対応することが可能です。これによりサンプル出荷に対する影響を最小限にすることができます。
- 3) **お客様の回路修正と平行したタイミング収束の実施**
設計の最終段階でECOが発生した場合に、お客様による回

路修正作業と平行してタイミング収束を行うことにより、回路修正による設計期間の増加を最小限に抑えます。

5. 設計マージンを削減し、55nm世代のLSIを確実に製造するための手法

先端プロセスでは、プロセスのばらつきによる特性の変動が大きくなってきており、従来の設計のようにばらつきを設計上のマージンとして考慮する手法では、マージンが非常に大きくなってしまい設計が収束しない恐れがあります。CB-55Lでは、設計マージンを削減する手法として、各種統計的設計手法を採用しています（図8参照）。

1) 統計的容量・抵抗抽出手法

配線の容量・抵抗の抽出時に配線形状を考慮し、統計的に容量値・抵抗値のコーナー条件を決定する手法です。プロセス上取りうるコーナー条件を単純に容量値・抵抗値のコーナー条件として採用する従来手法と比較して、遅延値のBest/Worstのばらつきを小さくすることが可能です。実際の配線形状を反映した、現実的な遅延計算が可能となります。

2) 論理段数を考慮したSTA(静的タイミング解析)手法

LSI内のばらつきは、STAにおいて考慮されます。プロセスばらつきのうちランダム成分は、統計的にとらえることが可能ですので、タイミングパスの論理段数を考慮することによってばらつきの緩和が可能です。

この手法を、実際にタイミング解析を行うパスの回路情報を参考にSTA実行時に自動的に行う手法が、論理段数を考慮したばらつき率緩和手法(LOCV: Location-based On Chip Variation)です。この手法によって、回路に応じた現実的なプロセスばらつきの考慮が可能です。

3) 統計的STA(SSTA)手法(検討中)

セルごとの遅延ばらつきを統計的に捉えてライブラリ化し、

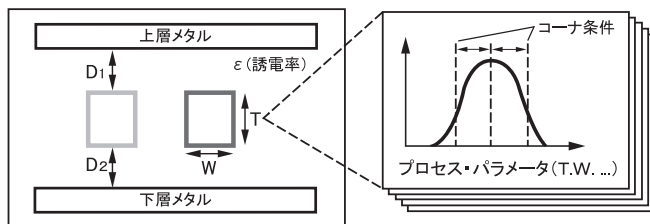


図8 統計的容量・抵抗抽出手法

タイミング解析を行う手法です。遅延値は、従来手法とは異なり、決定論的な一値を取るのではなく、統計的な分布を持つ値として算出されます

CB-55Lでは、現在開発が進められているSSTA手法をサポートする予定です。

6. むすび

CB-55Lを使用することによって、デジタルコンシューマ分野で要求される低消費電力、大規模かつ複雑なセルベースICを開発することが可能になります。本稿では、このようなセルベースICを短い開発期間、かつ低コストで開発するための各種手法を中心に紹介しました。弊社では、最先端の55nmプロセスを使用したセルベースICを従来と同様短期間・低コストで開発を行うための各種サービスをトータル・ソリューションとして提供し、お客様のセット開発に貢献していきます。

参考文献

- 1) 深瀬ほか、「55nmプロセスにおける新High-kトランジスタ技術」NEC技報Vol.59, No.5, pp.38-41(2006年11月)

執筆者プロフィール

中安 哲理
NECエレクトロニクス
システムASIC事業部
主任

●本論文に関する詳細は下記をご覧ください。

関連URL

<http://www.necel.com/cbic/ja/index.html>