

# LSI回路の再構成を可能とするナノブリッジ

阪本 利司・帰山 隼一・水野 正之  
寺部 一弥・長谷川 剛・青野 正和

## 要 旨

NECは、再構成LSI回路を高性能・低コスト化するためのスイッチとしてナノブリッジを開発しています。ナノブリッジは、2種類の金属で挟まれた固体電解質から構成されます。その特長は、スイッチのサイズが小さく(<30nm)、かつ、オン状態における抵抗が低い(<100Ω)ことです。一方で、ナノブリッジにはスイッチング時の電流が大きいという課題があります。本稿では、スイッチング電流の低減が可能な3端子ナノブリッジについて述べます。3端子ナノブリッジでは、電流経路と制御電極を分離することでスイッチング電流を低減できます。

## キーワード

● FPGA ●再構成 LSI ●固体電解質

## 1. はじめに

システムLSIのプラットフォームは、出荷個数、必要性能および納期などの条件をもとに選択されます。最も広く用いられているプラットフォームはCBIC(セルベースIC)です。CBICはスタンダードセルで構成され、回路の結線が出荷前に行われます。ユーザが回路を変更することはできません。別のプラットフォームとして、FPGA(フィールドプログラマブルゲートアレイ)に代表される再構成可能LSIがあります。再構成可能LSIはプログラム可能なロジックセルと配線およびプログラムするための多数のスイッチから構成されます。ユーザが回路構成を変更して、所望のシステムLSIが実現されます。

図1は2つのASICプラットフォームの利点と欠点を比較したものです。出荷個数が大量の場合には、単価が安いCBICが選ばれます。CBICはまた、性能(動作速度、消費電力)においてFPGAよりも優れています。一方、FPGAは初期開発コストが小さいために、少量生産品に適しています。FPGAはまた納期において優れています。システムLSIの生産が少量多品種となってきたため、FPGAが急速にシェアを伸ばしています。ところが、FPGAはチップサイズが大きく単価が高いため大量生産品には向きません。その原因の1つにプログラムのためのスイッチサイズが大きいことが挙げられます。スイッチはSRAMとパストランジスタから構成され、チップ面積の半分以上を占めています。また、SRAMスイッチの使用数を減らすために、高機能でサイズが大きなロジックセルが用いられています。

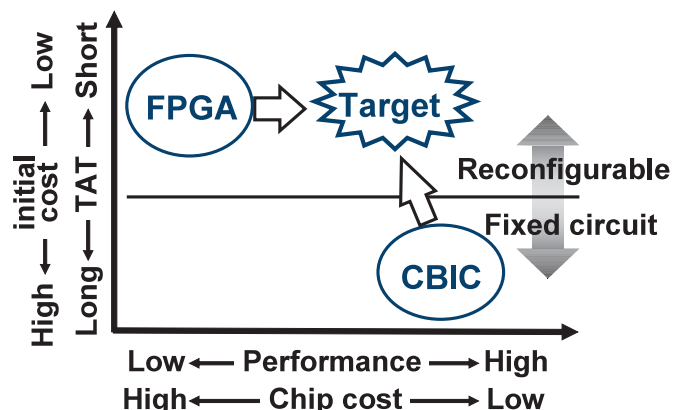
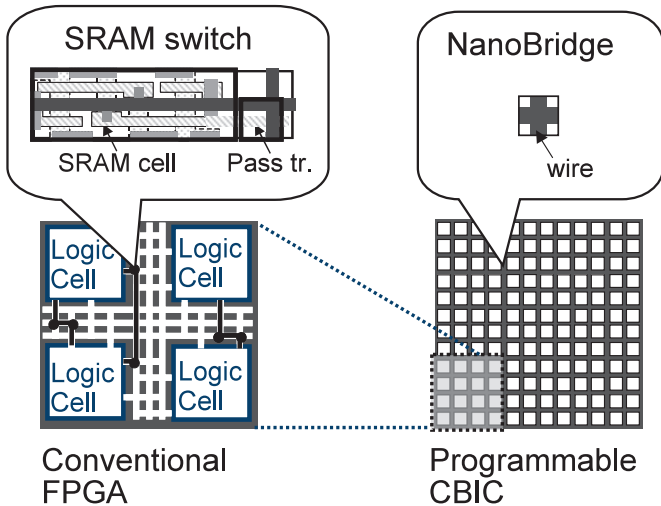


図1 CBIC(セルベースIC)とFPGA(フィールドプログラマブルロジック)との比較

そのために、セルの使用効率が悪くなっています。

そこで、NECはサイズが小さく、低抵抗な新スイッチの開発を行い、低チップコストで高性能な再構成可能LSIの実現をめざしています。新スイッチのサイズはSRAMスイッチと比較して1桁以上小さくでき、さらにLSIの配線層中に形成できます(図2)。加えて、小さなサイズのロジックセルを用いることができ、セルの利用効率も高まります。これらの効果により従来のFPGAに比べると、チップサイズを1桁程度小さくでき、速度・消費電力においても性能が向上します<sup>1,2)</sup>。また、同等のチップサイズで比較すると、ロジックセルの集積度が向上

LSI回路の再構成を可能とするナノブリッジ



白い領域はロジックセルを灰色の領域はスイッチ領域を表しています。ナノブリッジの適用によって、サイズの小さなロジックセルを用いることができ、セルの使用効率が向上します。

図2 従来のFPGAと提案するプログラマブルロジック

し、マッピング可能なアプリケーションが増えると期待されています。

2. ナノブリッジ技術

単純な2端子のナノブリッジは、2つの金属(白金と銅)で固体電解質(硫化銅)を挟んだ構造で作製できます(図2)<sup>1,3)</sup>。硫化銅は銅イオンの良好な伝導体です。スイッチの抵抗は、硫化銅中に微小な銅の架橋が生じることによって非常に小さくなります。図3(a)の白金電極に負の電圧を印加すると、銅イオンが銅電極から供給され、白金電極で還元されて析出します。析出した銅が2つの電極を接続すると、抵抗が下がりオン状態となります。逆に、白金に正の電圧を印加すると、銅の架橋が溶解し、元の高抵抗状態(オフ状態)へ移ります。おのおのの状態は不揮発であり、繰り返し両状態間の遷移をさせることができます。

図3(b)は、スイッチ面積(白金と硫化銅の接触面積)が30nm角の2端子ナノブリッジの電流電圧特性を示しています。オン抵抗は50Ω程度で、オフ時のリーク電流は10nA以下です。さらに、スイッチングは10<sup>3</sup>回程度繰り返し可能であることから、再構成可能LSIのスイッチとして適した特性を備えています。

一方で、この2端子ナノブリッジにはいくつかの課題があり

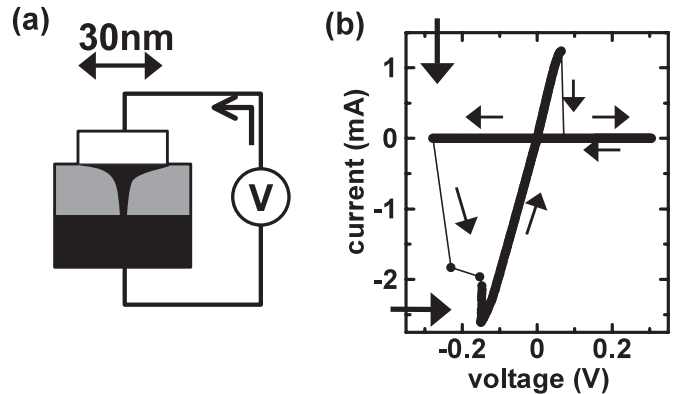


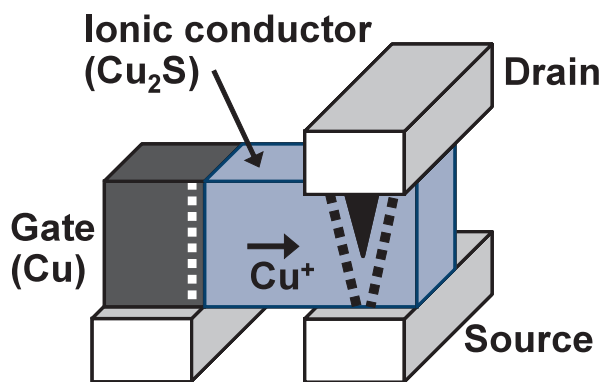
図3 (a) 2端子ナノブリッジの模式図, (b) 硫化銅と白金の接触面積が30nm角の2端子ナノブリッジの電流電圧特性

ます。まず、図3(b)にあるように、オフからオン状態へのスイッチング電圧は0.2V程度とロジックの信号電圧(1V以上)よりも低いことです。ロジックの信号によってスイッチの抵抗状態が変化しないように、スイッチング電圧はロジック電圧よりも高い必要があります。この問題は、低イオン伝導度を備えた固体電解質を用いることによって解決できると考えています<sup>4)</sup>。一方、スイッチング時の電流が大きいかも課題です(図3(b))。消費電力が大きくなったり、素子の熱破壊等が起こる危険があるからです。オン抵抗を保ちながらスイッチング電圧を高めた際には、さらにスイッチング時の電流が増大してしまいます。これを解決するため我々は次に述べる3端子ナノブリッジを開発しました<sup>5)</sup>。

3. 3端子ナノブリッジ

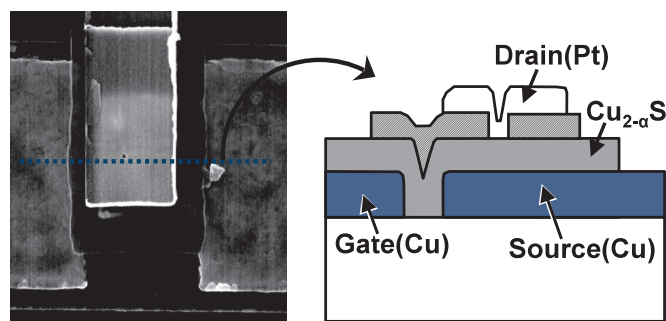
図4は3端子ナノブリッジの動作機構を示しています。本素子は電流経路とゲート電極が分離されていることが特徴です<sup>5)</sup>。2つの電極間の接続と切断はゲート電極に電圧を印加することにより行うことができます。スイッチング時の電流は、ゲート電極に流れるわずかなイオン電流およびリーク電流であるために、2端子ナノブリッジと比較して大幅に低減できます。

図5は、作製した3端子ナノブリッジのSEM写真および断面模式図です。銅のソースおよびゲート電極から、固体電解質である硫化銅に銅イオンを供給することができます。ソースおよびドレインに対してゲート電極に正電圧を印加すると、ソースおよびドレイン電極からゲート電極に向かって銅が析出しま



制御線に電圧を印加することにより、2電極間に金属が析出して接続されます。一方、負の電圧を印加することにより、析出した金属が溶解して非接続状態となります。

図4 3端子ナノブリッジの動作機構

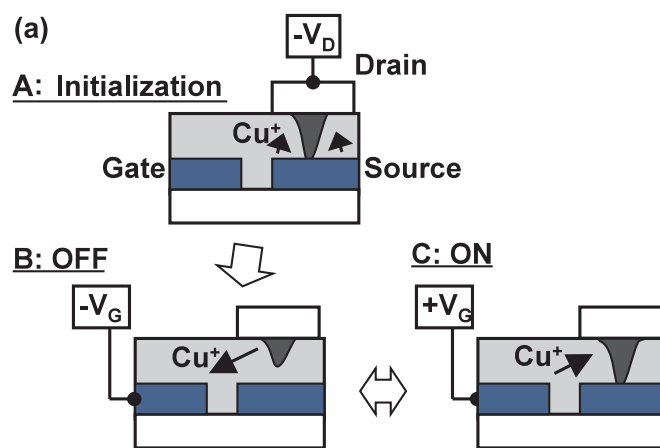


ドレインは層間膜(ここではカリックスアレーンを用いている)に空けた0.2μm径の穴を介して硫化銅と接触しています。

図5 3端子ナノブリッジのSEM写真と断面模式図

す。その際、ソース/ドレイン間が接続される前に、ゲートと他の電極間が接続されるおそれがあります。

ゲート電極とほかの電極の接続を避けるには、ソース・ドレイン間の距離を極力短くする必要があります。そこで、まず、ソース・ドレイン間に電圧をかけて(図6A)、銅の架橋を形成した上で、ゲートの動作を行います。ソース・ドレイン間に銅の架橋を形成するのは2端子ナノブリッジと同様の動作です。その後、ゲート電極に正または負の電圧を印加することで、ソース・ドレイン間の抵抗状態を変化できます(図6B,C)。オン/オフ抵抗比は $10^5$ 以上です。また、ゲート電流値( $I_G$ )より、スイッチングに必要な電流が2端子ナノブリッジと比較して2桁以上も低減できていることが分かります。スイッチング時間は、



A: ソース・ドレイン間に電圧を印加することにより、両電極間を接続します。B: ゲート電極に負の電圧を印加することによりオフ状態へ移行します。C: ゲート電極に正の電圧を印加することによりオン状態へ移行します。

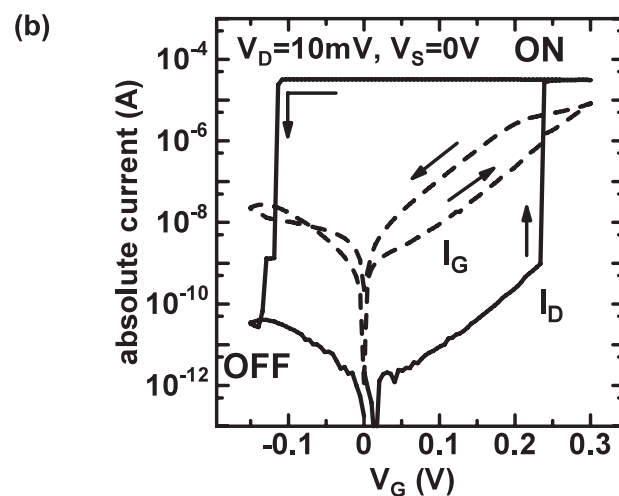


図6 (a) 3端子ナノブリッジの動作, (b) ゲート動作。ゲート電圧 ( $V_G$ )を変えた場合の、ドレイン電流( $I_D$ )およびゲート電流 ( $I_G$ )

サブm秒程度であり、ゲート電圧を大きくすることによって短くなる傾向があります。

#### 4. むすび

イオン伝導体を利用し、小型・低抵抗を特徴とするナノブリッジにおいて、スイッチング時の電流を低減できる3端子構造を提案しました。試作した素子の評価から2端子型に比べて2桁以上のスイッチング電流の低減が可能であることを示し

ました。

なお、本研究の一部は、科学技術振興機構「ナノ量子導体アレープロジェクト」により行われました。

#### 参考文献

- 1) S. Kaeriyama et al.; "A Nonvolatile Programmable Solid-Electrolyte Nanometer Switch," IEEE J. of Solid State Circuits, vol. 40, no. 1, pp. 168-176, 2005.
- 2) M. Lin et al.; "Performance Benefit of Monolithically Stacked 3D-FPGA", FPGA 2006, pp. 113-122, 2006.
- 3) T. Sakamoto et al.: "Nanometer-scale Switch Using Copper Sulfide," Appl. Phys. Lett., vol. 82, no. 18, pp. 3032-3034, 2003.
- 4) N. Banno et al.; "Effect of ion diffusion on switching voltage of solid-electrolyte nanometer switch," in Ext. Abs. Int. Conf. Solid State Devices and Materials, pp. 422-423, 2005.
- 5) T. Sakamoto et al.; "Three-terminal Solid Electrolyte Switch," IEDM Tech. Dig., 2005.

#### 執筆者プロフィール

**阪本 利司**  
システムデバイス研究所  
主任研究員

**梶山 隼一**  
システムデバイス研究所

**水野 正之**  
システムデバイス研究所  
主任研究員

**寺部 一弥**  
物質・材料研究機構  
ナノシステム機能センター  
主幹研究員

**長谷川 剛**  
物質・材料研究機構  
ナノシステム機能センター  
アソシエートディレクター

**青野 正和**  
物質・材料研究機構  
ナノシステム機能センター  
センター長