

広帯域・大容量メモリ搭載 SMAFTIパッケージ技術

栗田 洋一郎・副島 康志・川野 連也

要 旨

NECエレクトロニクスはNECと共同で、高密度な配線体を介してメモリチップとロジックLSIの接続を可能とする、超小型のシステム・イン・パッケージ(SiP)を開発しました。この技術は、システム・オン・チップ(SoC)が持つメモリへの広帯域アクセス性能と、SiPの特徴である、メモリとロジックをそれぞれ別のチップで製造することで可能となるメモリ大容量化を両立させるものです。メモリ帯域拡大によるパフォーマンスの向上と、チップ間通信消費電力の低減などが期待できるため、高機能化が進む携帯機器を始めとした広範な用途への適用をめざして実用化を進めています。

キーワード

●システム・イン・パッケージ (SiP) ●インターポーザ ●配線技術 ●接続技術

1. はじめに

情報処理・通信技術の進化とインターネットの普及に伴い、携帯電話からスーパーコンピュータに至るまで、あらゆる場所に高度なデジタル情報機器が存在するようになってきています。このような情報機器には、これまでの技術進化における主な指標であった高機能化・高速化といった性能に加え、性能あたりの消費電力やサイズの低減といった要素が重要になります。これらのデジタル情報処理システムの中核となる半導体集積回路では、素子の微細化による処理性能の高速化や記憶容量の増加はめざましいものの、その微細化のための開発・製造コスト増大に対して得られる性能向上は鈍化しつつあります。

一方で、特に高機能な携帯情報機器や画像処理機器、スーパーコンピュータを始めとしたハイエンドの情報処理システムでは多くの場合その性能が、情報を演算処理するプロセッサとデータを記憶するメモリの間のデータ転送能力によって決定されるようになってきています。これらの用途では、高いパフォーマンスと低消費電力を両立させるために、このメモリバス能力を向上させることが必要不可欠になります。このような目的に対して、システムを構成するロジック回路とメモリ回路を同一チップ上に形成するシステム・オン・チップ(SoC)では、オン・チップ配線により低消費電力で十分なバンド幅の確保が可能です。しかしながら現在のシリコンLSIでは、情報を演算・制御するロジック回路と、処理されるデータを蓄積するメ

モリ回路、特にワークメモリ/メインメモリとして汎用的に用いられるDRAMでは、素子構造や製造プロセスが大きく異なっています。このため、コストとメモリ容量のトレードオフにより、大容量メモリを混載したSoCを低コストで実現することが困難です。一方で、ロジックLSIとメモリを別チップとして製造し、ワイヤボンディング技術などを用いてチップ間を接続する構造のシステム・イン・パッケージ(SiP)が近年、特にモバイル機器向けなどに多く実用化されるようになってきています。これらの構造では、ロジックLSIとメモリそれぞれを、最適化されたデバイス構造、ウエハプロセスにより製造することが可能である反面、チップ間の電氣的接続がワイヤボンディングやパッケージ基板を介したものであるため、バス幅や伝送路の電気特性、I/O消費電力においてSoCに大きく劣らざるを得ません。

このような課題を解決するための構造として、ロジックLSIとメモリの回路面どうしを対向させ、エリア状に配置した電極端子(パンプ)により接続したChip-on-Chip (CoC)構造が開発されています。CoC構造では、チップ間の接続をエリア状に配置した電極で行うことによりバス幅を拡大可能であり、またチップ間伝送路をパンプのみとすることにより、インダクタンス低減を始めとした電気特性改善や、両チップI/O回路の負荷低減による低消費電力化などが可能となります。しかしながら、ロジックLSIとメモリを接続したCoC構造パッケージの場合、チップサイズによるメモリ容量の制限や、ロジックLSIの外部端子への接続方法はワイヤボンディング法などに限定される

などの問題がありました。そこで今回、これらの課題を解決し、大容量のメモリを数百bit以上のワイドバスでロジックLSIに接続可能な汎用LSIパッケージSMAFTI (SMARt chip connection with FeedThrough Interposer)を開発しました¹⁾。

2. 新パッケージの構造

図1に今回開発した新構造SiPのコンセプト、および構造図を示します。全体の構造は、ロジックチップとメモリチップの間にFTI (Feedthrough Interposer)と呼ぶ微細な配線体を挿入した構造になっています。FTIは微細な配線パターンを形成したインターポザで、FTI自体はメモリチップを封止するモールド樹脂により保持されています。またロジックチップ側には外部電極端子であるBGA (Ball Grid Array)が形成されています。FTIはポリイミド絶縁樹脂層と導体配線パターンより構成され、絶縁樹脂層にはこれを貫通する導体ビアが形成されています。ロジックLSI-メモリチップ間の接続部は、メモリチップの電極バンプがFTI上面の導体パッドに接続され、パッド直下に設けられた導体ビアを介してロジックLSIチップの電極バンプに接続された構造になっています。チップ間接続部は50 μm 下のピッチでエリア・アレイ状に配置することが可能で、これにより1,000bitを超えるロジック-メモリチップ間の接続も実現可能となります。また、ロジックLSIチップの外部電極端子はチップ間接続部を取り囲む形でチップの周辺部に配置され、FTIの導体ビアと配線を介してBGAに接続されています。FTIの配線幅は10 μm 前後までの微細化に対応可能です。

このように、高密度な導体ビアと配線パターンを持つFTIを介してチップ間の接続とロジックLSIからの外部端子引出しを行うことにより、両チップ間の高密度な接続と、ロジックLSI外部端子の多ピン化が実現できます。また、従来のCoC構造パッケージのようにチップサイズの制限も無く、大容量のメモリ搭載も対応可能です。

3. 製造プロセス

本パッケージの大きな特徴として、製造プロセスがすべてウエハ状態で行われることが挙げられます。今回、表1に示す仕様にてTEGチップを用いたパッケージ試作を行いました。TEGチップの仕様としては、パッケージングされた状態でチップ間接続部がデ이지チェーン接続となり、ロジックTEGチップ-FTI配線-BGA端子を介して、チップ間接続部のオープン/ショートが電氣的に確認できるような仕様としました。

製造プロセスフローを図2に示します。まず、支持体であるSiウエハ上にCu配線/ポリイミド絶縁膜により配線体(FTI)を形成します。このFTI上に、SnAgはんだめっきバンプを形成したメモリTEGチップをフリップチップボンダで接合、接合部をアンダーフィル樹脂により封止します。接合プロセスとしては、窒素雰囲気中のフラックス・レスでのローカルリフロー工法を用います。配線体はSiウエハ上に形成されているため、一般的な有機樹脂基板へのフリップチップ接続プロセスにおける線膨張係数の違いに起因した接続精度の劣化や残留応力による接続部の破壊がほとんど問題になりません。このため、

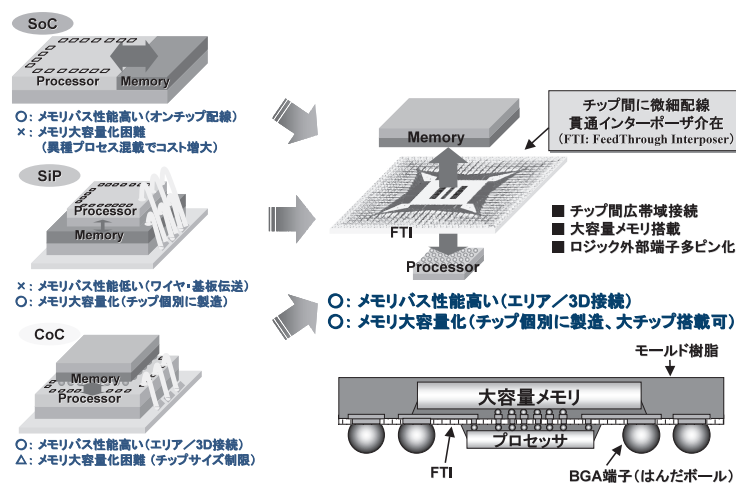


図1 SMAFTIパッケージのコンセプトと構造

表1 SMAFTIパッケージ/プロトタイプ仕様

項目	仕様
Logic-TEGチップサイズ	5.31 × 5.31 mm
Memory-TEGチップサイズ	7.35 × 12.7 mm
チップ間接続	50 μ m (area array) 400 pin
Logic-TEG外部電極	35 μ m staggered (peripheral) 500 pin
パッケージ外形	Fine pitch BGA
パッケージサイズ	15 × 15 mm
BGA端子	0.5 mm pitch 500 pin

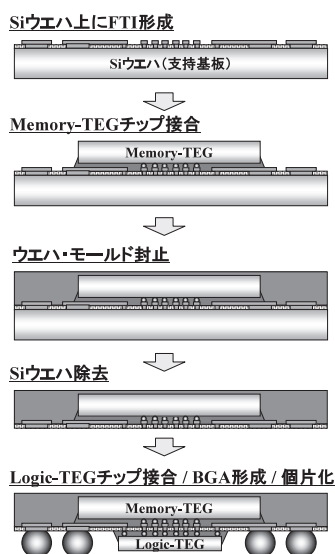


図2 SMAFTIパッケージの製造フロー

今回のサンプルのように50 μ m以下の狭ピッチ接続にも対応できます。写真1にチップを接合した配線体形成ウエハの外観を示します。次に、チップを接合したウエハ表面を圧縮モールド工法にて封止した後、支持体であるSiウエハを除去する

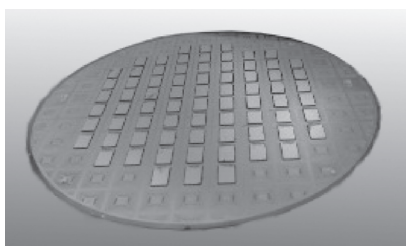


写真1 FTI形成ウエハ上に接合されたチップ

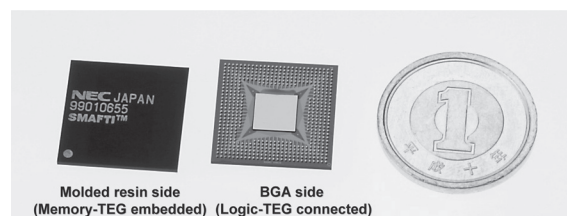


写真2 SMAFTIパッケージ外観

ことによりFTIの配線パターンを露出させます。このようにして形成した、メモリTEGチップが埋設された樹脂ウエハ表面のFTI上に、メモリTEGチップの場合と同様、はんだめっきバンプを形成したロジックTEGチップをローカルリフロー工法により接合、接合部をアンダーフィル樹脂により封止します。この場合も、接合形態は非常に薄いFTIを介しての厚いメモリチップに対してのSiどうしの接続になるため、高い接合精度と品質が確保可能となります。最後に樹脂ウエハ上のFTIに形成されたパッド上にSnAgCuはんだボールを接合、ダイシングによりパッケージの個片化を行います。

完成したパッケージの外観を写真2に示します。また、パッケージ全体の断面SEMを写真3に、写真4にFTIを介した50 μ mピッチのチップ間接続部の断面を示します。FTIの導体ヴィアを介したチップ間の接続、ロジックTEGチップからBGA端子までのFTIを介した接続を含め、想定通りの構造が実現できていることを確認できました。

このように、SMAFTIではSiウエハ上で形成した配線体をSiチップへの転写を繰り返すことでチップ間に挟み込むという、ユニークな製造プロセスを特徴としています。これにより、線膨張係数の等しいSiどうしの接合を用いて、微細な配線体を介したチップ間の高密度な接続が実現できます。また、インターポーザ形成からアセンブリまでのウエハ状態に統一した製造プロセスにより、ハンドリング形態の統一による生産性向上、ウエハレベル・パッケージなどに用いられている生産設備の転用・共用による設備投資効率の向上が期待できます。

4. チップ間接続信頼性評価

本技術の最大の特徴である、FTIを介したチップ間接続構造に関する初期的な信頼性評価を行いました。信頼性に及ぼす影響が大きいと考えられるアンダーフィル樹脂について、異なる機械特性を有する2種類の樹脂を用いたサンプルで温度サイクル試験を実施しました。評価を行ったアンダーフィル

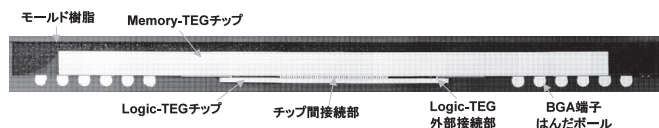


写真3 SMAFTIパッケージ断面

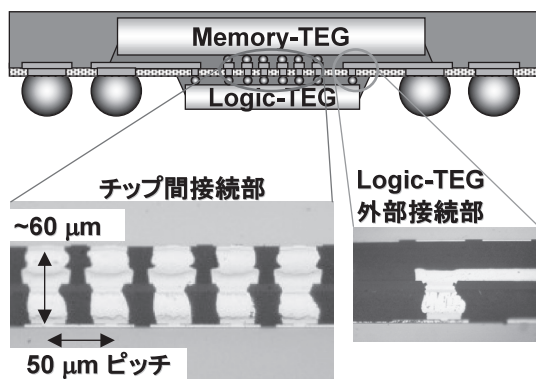


写真4 FTIを介したマイクロバンプ接続部断面

樹脂の機械物性値を表2にまとめます。また、表3に前処理条件と温度サイクル処理条件を示します。接続信頼性試験結果を表4に示します。良否判定は、前処理後、各温度サイクル

表2 アンダーフィル樹脂の機械物性値

樹脂物性		樹脂A	樹脂B
Tg (oC)		120	150
線膨張係数 (ppm/K)	<Tg	40	30
	>Tg	130	90

表3 試験条件

処理項目	条件
前処理	Thermal Cycle: -55~125°C / 20 cyc Prebake: 125oC / 10 h Moisture Absorption: 30oC, 70%RH / 168 h IR Reflow: Max 260°C / 3 times
温度サイクル試験	-55~125 (10 min / 10 min)

表4 温度サイクル試験結果

	0 Cyc ※	100 Cyc	300 Cyc	500 Cyc	1000 Cyc
樹脂A	2/5 Fail	1/3 Fail	0/2 Fail	2/2 Fail	—
樹脂B	0/5 Fail	0/5 Fail	0/5 Fail	0/5 Fail	0/5 Fail

※ 前処理後測定

処理後にチップ間接続部のデージーチェーンの電氣的導通を確認することにより行いました。温度サイクル試験の温度範囲は、いずれの樹脂のガラス転移温度(Tg)付近以下であるものの、相対的に線膨張係数(CTE)が高い樹脂Aでは前処理後にも接続部のオープン不良が発生しました。これに対し、線膨張係数の低い樹脂Bでは、1,000 cyc後にも不良発生は見られませんでした。本接続構造はSiチップ間の接続構造であるため、通常の有機樹脂基板を用いたフリップチップ接続のような、基板とSiチップの線膨張係数の差に起因する水平方向の応力は発生しにくいと考えられます。このため、オープン不良の発生原因としては、アンダーフィル樹脂自体の主に垂直方向の熱膨張・収縮による応力が接合部の破壊を引き起こしたものと推測されます。今後、さらに詳細な解析と、接合条件/樹脂物性の最適化、および各種信頼性評価を行っていく予定です。

5. まとめ

ロジック/メモリなどのチップ間を1,000 bit以上のワイドバスで接続可能な汎用パッケージ“SMAFTI”の提案を行いました。また、TEGチップを用いた試作により、構造・製造プロセスの実現性と基礎的な接続信頼性を確認しました。今後、広範な用途への適用が可能な汎用技術としての確立をめざし、開発を進めていく予定です。

参考文献

- 1) Yoichiro Kurita, Koji Soejima, Katsumi Kikuchi*, Masatake Takahashi*, Masamoto Tago*, Masahiro Koike, Koujiro Shibusya, Shintaro Yamamichi*, and Masaya Kawano, "A Novel "SMAFTI" Package for Inter-Chip Wide-Band Data Transfer," Proc. of 56th Electric Components and Technology Conference (ECTC 2006), pp. 289-297, 2006.

執筆者プロフィール

栗田 洋一郎
NECエレクトロニクス
先端デバイス開発事業部
主任

副島 康志
NECエレクトロニクス
先端デバイス開発部
主任

川野 連也
NECエレクトロニクス
先端デバイス開発部
チームマネージャ