

55nmプロセスにおける 新High-kトランジスタ技術

深瀬 匡・中原 寧・高橋 寿史・今井 清隆

要 旨

トランジスタのゲート絶縁膜に微量のハフニウムを付着させ、仕事関数制御によるしきい値電圧コントロール技術を確認し、低リーク電流で高性能、かつ製造工程数を大幅に削減したトランジスタを開発しました。この技術を液浸リソグラフィー加工技術と組み合わせた55nmノードCMOS「UX7LS」プロセスを紹介します。UX7LSでは、しきい値電圧制御範囲を0.3V~0.5Vとして、幅広いアプリケーション領域を同一トランジスタ構造でカバーすることが可能になりました。さらに、65nmノードのトランジスタと比較して約20%の性能向上と、最大15%の工程削減を実現し、SRAMサイズは $0.446 \mu\text{m}^2$ まで縮小しました。

キーワード

- High-k ゲート絶縁膜
- ハフニウムシリケート
- 仕事関数制御
- 55nm ノード CMOS
- ArF 液浸リソグラフィー
- 製造工程数削減

1. はじめに

近年、トランジスタのしきい値電圧(V_{th})とゲート酸化膜厚のスケールングによって待機時消費電力が急増し、特に携帯用途向けLSIでは深刻な問題となっています。ゲート絶縁膜の薄膜化に伴うゲートリーク電流は、わずか0.2nmの薄膜化に伴って10倍に増加します。このゲートリーク電流を低減する方法として、従来のシリコン酸化膜に替わる新たな絶縁膜であるHigh-kゲート絶縁膜の導入が、2000年頃から盛んに研究されてきました。2004年にはNECエレクトロニクスはNECと共同で、従来のシリコン酸化膜(SiON)膜に比べてリーク電流が1/1,000以下で、キャリア移動度劣化がほとんどないハフニウムシリケート(HfSiO)膜を用いた低リーク電流トランジスタを開発¹⁾し、携帯電話用LSIチップ動作を確認²⁾しました。しかしながら、この技術はトランジスタの V_{th} を低く設定することが困難なため、適用可能なアプリケーションは、高 V_{th} トランジスタのみで設計されるLSIに限定されてしまうという問題がありました。

今回、ハフニウムの新たな使用方法³⁾に着目し、低リーク電流で高性能、かつ製造工程数を大幅に削減したトランジスタ技術を確認し、これを液浸リソグラフィー加工技術と組み合わせて、55nmノードCMOS「UX7LS」を開発しました。UX7LSでは、 V_{th} 制御範囲を0.3V~0.5V(オフ時のリーク電流が30pA~3nA)として幅広いアプリケーションに対応可能としました(図1)。さらに、65nmノードのトランジスタと比較して約20%の

性能向上と、最大15%の工程削減を実現し、SRAMサイズは $0.446 \mu\text{m}^2$ (65nmノードでは $0.525 \mu\text{m}^2$)まで縮小しました。

2. ハフニウムによるトランジスタ性能向上

携帯用途から一般用途に使用される V_{th} が0.3V~0.5Vの従来トランジスタでは、チャネル領域に多量の不純物をイオン注入し、 V_{th} を調整します。ところが、チャネル不純物量が多いと、電子やホールがチャネル領域を流れる際に散乱を生じさせるため、キャリア移動度の低下を引き起こします。またチャネル不純物量が多いほどソース/ドレイン領域との間で接合リーク電流が大きくなります。

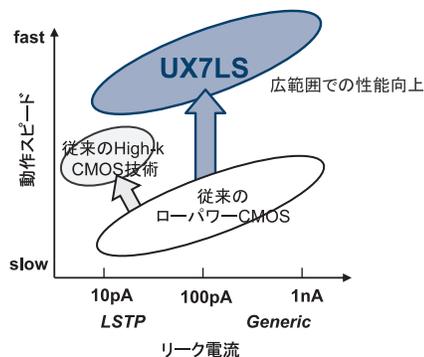


図1 UX7LSプロセス性能向上コンセプト

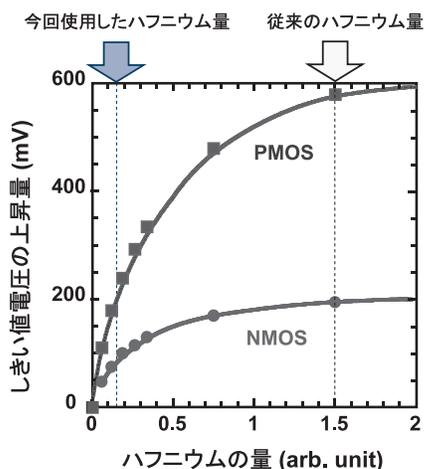


図2 ゲート絶縁膜中のハフニウム量としきい値電圧

そこで、チャンネル不純物濃度による V_{th} 制御ではなく、ハフニウムをゲート絶縁膜に付着させ、 V_{th} を制御する方法を開発しました。図2にゲート絶縁膜に含まれるハフニウム量と V_{th} の変化量を示します。従来用いられてきたHigh-kゲート絶縁膜のハフニウム量では、フェルミレベルピンニングと呼ばれる効果によって V_{th} が大幅に上昇し、制御することができませんでした。一方、ハフニウム量を極微量にすると、 V_{th} は0.1~0.2Vの上昇にとどめることができます。微量ハフニウムを用いてチャンネル不純物濃度以外で V_{th} を調整すること(仕事関数制御)ができれば、ゲート絶縁膜を薄膜化しなくとも、トランジスタ性能を向上できます。

図3は従来のチャンネル不純物濃度による V_{th} 制御の場合とハフニウムによる仕事関数制御の場合のトランジスタ駆動能力を

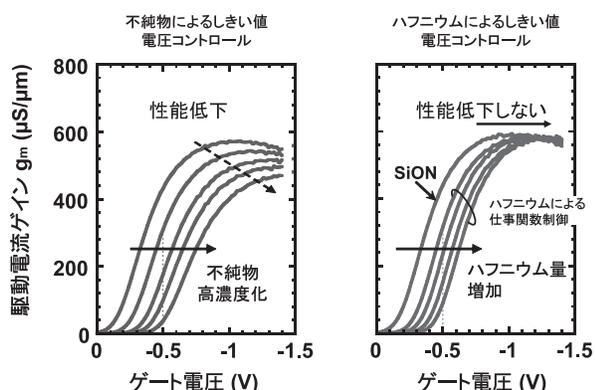


図3 仕事関数制御によるトランジスタ性能の向上

比較したものです。不純物による V_{th} 制御の場合、 V_{th} が高くなる(チャンネル不純物が増加する)に従って、駆動電流ゲイン g_m が低下します。一方、ハフニウムによる仕事関数制御の場合、 V_{th} が高くなっても g_m は低下しません。UX7LSでは、ハフニウムによる V_{th} コントロールと不純物による V_{th} コントロールをバランスよく使用することにより、同一チップ上に V_{th} が0.3~0.5Vの範囲のトランジスタを同時に形成することが可能になりました。

3. 55nmノードCMOS「UX7LS」プロセス

第2章で述べたハフニウムによる仕事関数制御技術を用いて、55nmノードCMOS「UX7LS」プロセスを開発しました。

図4にUX7LSプロセスで作製したトランジスタの断面透過電子顕微鏡(TEM)写真を示します。図4右側はゲート絶縁膜の拡大写真です。従来のHigh-k絶縁膜は、HfSiO膜とSiON膜の膜厚比はほぼ1:1でした。UX7LSでは、ハフニウムを極微量にし、HfSiO膜とSiON膜の膜厚比を1:5以下にすることで、仕事関数制御による V_{th} コントロールを可能にしています。

図5はトランジスタのオン電流とオフ電流の関係についてUX7LSトランジスタを他社65nmノードのトランジスタと比較したものです。UX7LSトランジスタは、電源電圧 $V_{dd}=1.2V$ でオン電流 $575/290 \mu A/\mu m$ (オフ電流 $55 pA/\mu m$)、 $842/412 \mu A/\mu m$ (オフ電流 $5 nA/\mu m$)を達成しています。これは他社65nmノードのトランジスタと比較して約20%の性能向上を実現しているものであり、低待機時消費電力向けデバイス、低動作電力向けデバイス双方で、優れた性能を持つことを示すものです。

UX7LSではトランジスタのチャンネル不純物濃度を減らすことができたので、GIDL(Gate Induced Drain Leakage)や接合リーク電流の低減が期待できます。図6にUX7LSプロセス、または従来のSiON膜で作製したPMOSのGIDLと接合リーク電流の V_{th} 依存性を示しました。

仕事関数制御技術を用いることで、特に高 V_{th} 領域でのリー

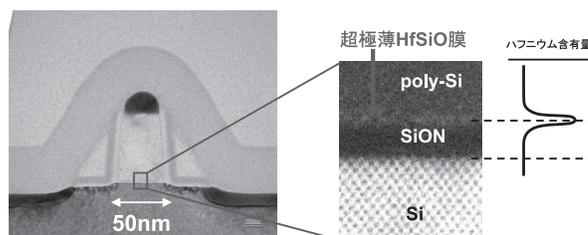


図4 トランジスタ断面TEM写真

55nmプロセスにおける新High-kトランジスタ技術

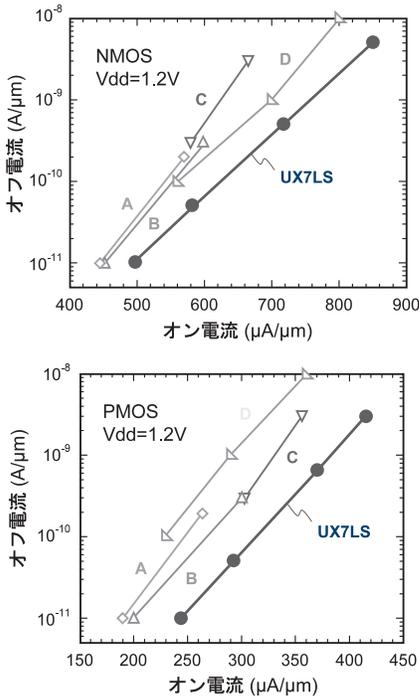


図5 トランジスタ性能比較

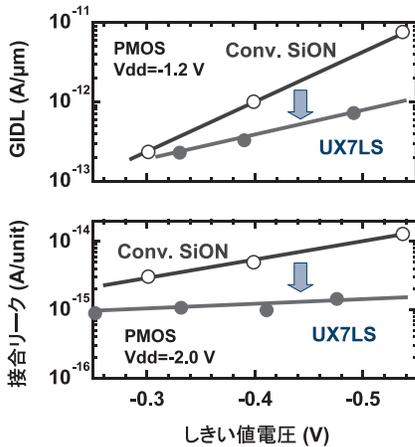


図6 GIDLと接合リーク電流のしきい値電圧依存性

ク電流が低減されることが分かります。UX7LSトランジスタは、低リーク電流設計が要求されるSRAMやDRAMに最適であることを示しています。

また、ゲート絶縁膜にHfSiO膜を用いる場合、信頼性の劣化が懸念されます。110°CでのNMOSおよびPMOSのTDDDB (Time Dependent Dielectric Breakdown)特性を図7に示します。Power

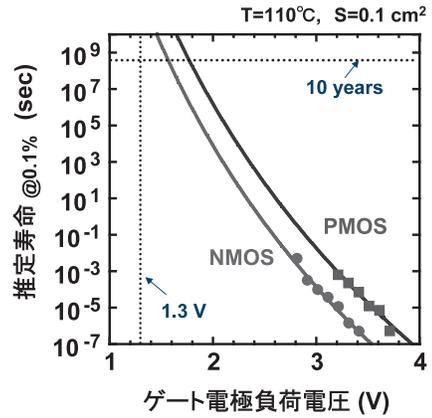


図7 ゲート絶縁膜信頼性

Lawモデルから予測される、面積0.1 cm²、故障確率0.1%におけるゲート絶縁膜の推定寿命は、1.3 Vで10年を超えていることが分かります。UX7LSでは、HfSiO膜形成プロセスの最適化により、実製品での十分なゲート酸化膜寿命を保証することができました。

ハフニウムによる仕事関数制御は、トランジスタ性能向上だけでなく工程削減にも大きな効果をもたらします。図8は従来プロセスで作製した90nmノードトランジスタとUX7LSトランジスタのVthのチャンネル幅依存性を比較したものです。縦軸はそれぞれのチャンネル幅におけるVthのチャンネル幅1.0μmからの差分を示しています。図8から分かるように、従来のトランジスタではチャンネル幅の狭いところでVthが低下する現象、いわゆる「逆狭チャンネル効果」が見られていますが、UX7LSではVthの低下は見られていません。逆狭チャンネル効果は、チャンネル不純物が素子分離酸化膜との境界に拡散するために生じる現象であるといわれていますが、UX7LSでは仕事関数制御

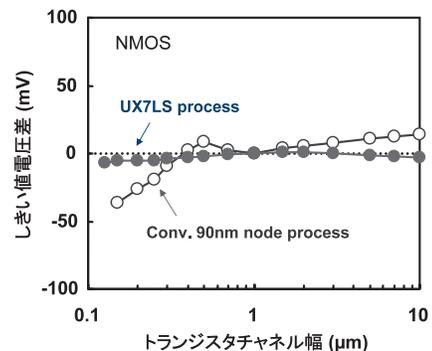


図8 しきい値電圧のトランジスタチャンネル幅依存性

で V_{th} を制御しているため、逆狭チャネル効果がほとんど見られないと考えています。

従来、最小のチャネル幅を使用するSRAMセルトランジスタは、この逆狭チャネル効果のためにロジック部とイオン注入工程を別にしなければなりません。しかし、逆狭チャネル効果のほとんど見られないUX7LSでは、SRAMセルトランジスタとロジック部のトランジスタを同一イオン注入工程で作製することが可能となり、製造工程を大幅に削減することができました。

このほかにもUX7LSでは、イオン注入工程の共用化を積極的に検討し、最大で5マスク、製造工程数にして約15%削減(当社65nmノードFEOL工程比)を達成しています。

図9は、ゲートポリシリコンをエッチングしたあとのSRAMセル(セルサイズ $0.446\mu\text{m}^2$)の平面走査型電子顕微鏡(SEM)写真です。UX7LSでは、ArF液浸リソグラフィ技術を世界に先駆けて導入しました。高NAのArF液浸リソグラフィ技術を使うことにより、微細パターンを小さな寸法ばらつきで形成することが可能となり、世界最小レベルのSRAMを実現しました。

最後に、UX7LSプロセスの主要設計ルール(表)をまとめました。UX7LSでは、ゲート絶縁膜の酸化膜換算膜厚(EOT)は

1.85nm、ゲート電極長を50nm、第1メタルピッチを160nmまで縮小し、現在広く使用されている90nmノードに比べて2倍以上の集積度を達成することが可能になります。

4. おわりに

低待機時消費電力と高速動作を両立する55nmノードCMOS「UX7LS」を開発しました。従来と異なるHigh-k技術を開発することにより、広い V_{th} と高性能化を実現できるようになり、超低待機電流が求められる携帯機器から、高駆動電流が求められる高速ロジックまでを同一トランジスタ構造でカバーすることが可能になりました。また、液浸リソグラフィを早期導入して、面積 $0.446\mu\text{m}^2$ の微細SRAMを実用化しました。

NECエレクトロニクスでは、UX7LSプロセスで携帯端末分野からネットワーク分野までの幅広いアプリケーション領域において消費電力を抑えて高速化できるシステムLSIを実現します。

参考文献

- 1) Y. Yasuda et al., 2004 Symp. on VLSI Tech., 40.
- 2) N. Kimizuka et al., 2005 Symp. on VLSI Tech., 218.
- 3) H. Nakamura et al., 2006 Symp. on VLSI Tech., 198.

執筆者プロフィール

深瀬 匡
NECエレクトロニクス
先端デバイス開発事業部
基幹CMOS開発グループ
チームマネージャー

中原 寧
NECエレクトロニクス
先端デバイス開発事業部
先端CMOS開発グループ
シニアプロセスエンジニア

高橋 寿史
NECエレクトロニクス
先端デバイス開発事業部
メモリデバイス開発グループ
シニアプロセスエンジニア

今井 清隆
NECエレクトロニクス
先端デバイス開発事業部
先端CMOS開発グループ
グループマネージャー

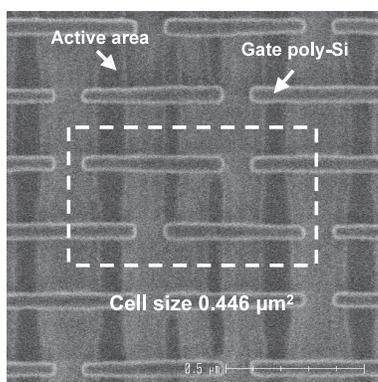


図9 SRAMセル平面SEM写真

表 UX7LSプロセス主要設計ルール

Logic node (nm)	55
Supply Voltage (V)	1.2
EOT (nm)	1.85
Gate L/S (nm)	50/130
Contact L/S (nm)	80/100
Metal 1 L/S (nm)	80/80
Metal 2 L/S (nm)	90/90
SRAM Cell Size (μm^2)	0.446