

SoCデザインにおける組み込みCPUの現状

桜井 良和・鈴木 宏明・前村 浩司・高倉 敏

要 旨

現在システム・オン・チップ(SoC)の多くには組み込みCPUが内蔵され、重要な役割を担っています。SoCデザインは年々複雑化、高機能化が進んでいますが、システムに対しCPU単体の性能のみが問われる時代からアプリケーションの要求から決まるバス構成設計やデータ処理の分散処理設計がより重要視されるようになってきています。

本稿では主にデジタル家電、携帯電話といったアプリケーション分野別にユーザと半導体ベンダ間で開発される「顧客密着型ASIC」向けに提供される組み込みCPUのNECエレクトロニクスでの現状を述べ、特に英ARM社のARMコアおよびプラットフォームベース設計のサポートについて紹介します。

キーワード

●システム・オン・チップ (SoC)

1. 組み込みCPUへの要求

従来、SoCにおける組み込みCPUはシステム制御の中心として存在し、単一のデータフローをシンプルなバス上で動作させており、CPU性能そのものがシステムの性能を左右していました。現在のSoCにおいてはその適用範囲が広がっており、映像の圧縮・伸張に代表されるような高い処理能力、転送能力を必要とするアプリケーションに基づきシステムバスの構造、各部分の周波数、転送帯域を見積もりシステム全体の最適な解を決定することが求められるようになってきました。このためCPUアーキテクチャとバス構成は分離して構築し、さらに単独のCPUでは負荷が大きいデータ処理を複数のプロセッサ、DSP、専用ハードウェアに分散処理させる手法も取られています。この結果、組み込みCPUに対する要求は、処理性能のみならずシステム構築に対するフレキシビリティ、スケーラビリティがより重要視されるようになってきています。これらの点から、現在組み込みCPU分野においては英ARM社のARMコア、米MIPS technologies社のMIPSコアなどのCPUコアがデファクトスタンダードとして大きなシェアを占めるようになってきました。

2. NECエレクトロニクスの組み込みCPUラインナップ

NECエレクトロニクスでは、ASIC向けのCPUとして英ARM社のARMコアを中心としたラインナップを展開しています。ロウ・エンド(ARM7ファミリー)、ミドル・エンド(ARM9ファミリー)ハイ・エンド(ARM11ファミリー)までのCPUコアのライセンスを取得し、NECエレクトロニクスオリジナルCPUのV850Eコアとともに提供しています。またARM関連IPとしてディバグの効率化を図るETM(Embedded Trace Macrocell)、VFP(Vector Floating point processor)、2次キャッシュコントローラなどを併せて用意しています。図1に現在提供するCPUのロードマップ

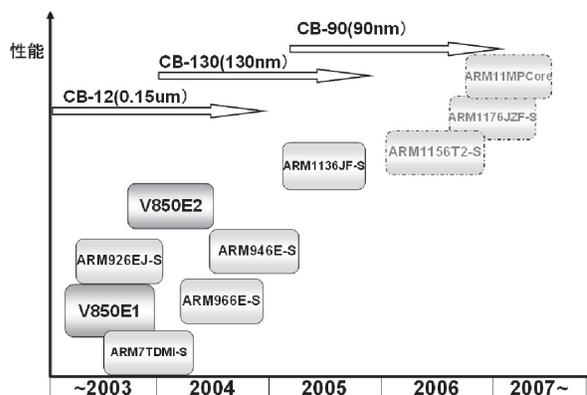


図1 CPUロードマップ

プを示します。ASICにおいては現在CB12(0.15 μ m)を中心に、CB130(0.13 μ m)、CB90(90nm)プロセスに対応しており、今後開発する最先端プロセスにも対応していく予定です。

3. ARMコアを搭載したSoCのデザイン

IPとして提供されるARMコアは一般に半導体ベンダ側でのアーキテクチャ変更が不可となっており、どのベンダのコアを使用しても高いソフト互換性(ディバグ機能も含め)、設計品質を保つことが可能です。ただしターゲットシステムや設計方式、プロセスによって、そのインプリメンテーションは異なっています。具体的にはシステムパラメータとして内蔵キャッシュサイズ、TCM(tightly coupled memory)のサイズ、ETM、VFP等の有無などのコンフィグレーションを変更することが可能です。また物理的にはコア面積、動作スピード、消費電力などのターゲットを最適化することが可能です。NECエレクトロニクスではあらかじめこれらのバリエーションを持たせたCPUのハードマクロ化を行っています。ハードマクロ化方式はASIC設計時でのタイミング収束を早め、ソフトマクロでは達成困難な高速化、面積縮小化、低消費電力化等が容易です。ハードマクロ化されたIPはASIC設計用ライブラリ(STA用、レイアウト用など)としてユーザーに提供されます。IPに対し個別の要求(短TAT、特殊プロセスなど)がある場合はソフトマクロの開発フローも選択が可能です。ハードマクロ、ソフトマクロいずれの場合にもユーザーはIP内部の情報やタイミングを一切考慮することなく設計が行えます。

ARMコアを用いたSoC設計で特徴的なのは(IPの保護の点から)ネットリストの代わりにDSM(design simulation model)と呼ばれるシミュレーションモデルを用いて論理シミュレーションを行う点です。これはサイクルアキュレートモデルであることに加え、内部レジスタの観測、命令、データの実行トレースなどの強力なディバグ情報を出力でき、効率的にシステムの検証を行うことが可能です。

NECエレクトロニクスではこのDSMに対し、いくつかの機能を付加しており、バスのプロトコルチェック、STAと同一精度を実現するタイミングアノテート、タイミングチェックなどによりゲートシミュレーションの不具合点の特定を迅速に行うことができます。

さらに一般に動作検証の難しい実行トレース出力や、JTAGインタフェースなどのディバグ機能に関してはシステム検証キットと豊富なドキュメントを用意しており、ユーザー側での設

計、検証がスムーズに行える環境を準備しています。

4. システムオンチップの開発スタイル

SoCの設計、開発スタイルはその適応分野、開発コスト、TATなどの要求から一様ではありません。開発分担という点に着目すると、半導体ベンダが仕様から設計までを一貫して行い標準品として提供するASSP(Application Specific Standard Product)とユーザーが仕様決定、設計を行うASCP(Application Specific Custom Product)に分けられます。後者は一般にASIC (Application Specific Integrated Circuit)とも呼ばれます。

図2に示すようにASICのなかでも特にユーザーと半導体ベンダの双方で開発を行いシステムを構築するASICを顧客密着型ASICと呼んでいます。プリンタ、デジタルカメラなどのデジタル家電、携帯電話向けなどの大規模、高機能アプリケーション向けシステムに見られる開発スタイルです。

このような開発スタイルの場合、ユーザーと半導体ベンダ間でのインタフェース定義(論理、物理仕様、設計分担、品質確認など)が重要視されます。これを明確化するために、標準化された設計環境の提供、ライブラリ化されたIPによるIPベース設計環境に加え、ユーザーからは分野に特化した設計環境のスケラビリティ、フレキシビリティ、検証済みシステムの提供が求められます。これを実現するものが次に述べるプラットフォームベース設計です。

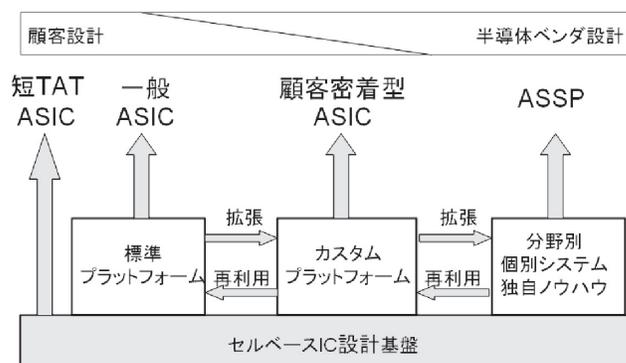


図2 システムオンチップの開発スタイル

SoCデザインにおける組み込みCPUの現状

5. プラットフォームベース設計の提供

SoC設計面から見ると、組み込みCPUを含むサブシステム、バス構成の構築はいまだに多くのユーザにとって複雑であり、設計、検証TATのネックとなっています。またCPUの標準化が進みデザインのリユースが容易になってきたことや、IPベンダと半導体ベンダの密接な関係により半導体ベンダ側に組み込みCPUのノウハウが集中していることから組み込みCPUとそのCPUサブシステムの設計基盤に関しては近年ベンダ側での整備が強く求められています。

最近の顧客密着型ASICにおいてはデータの分散処理の要求からバスマスタが増加し、それぞれのIP間のバス構成は共通バスからマルチレイヤバス、階層化バス、クロスバーなどの複雑な構成をとるようになりました。また、一般的にそれぞれのIPは単体で機能すべくRTLテストベンチが提供されますが、ユーザはIP間の接続、IPサブシステムの構築、相互動作の確認に時間を要しているのが実情です。

NECエレクトロニクスでは、IPをあらかじめ標準バスで接続されたシステムを準備し、事前品質確認した状態でユーザに提供します。標準バスはIP(BUSIP)として準備し、システムに応じたパラメータ、たとえばバス幅、アドレスマップ、マスタ数、スレーブ数、バス内レジスタスライス数、レイヤ数などを選択

しバスを構成するために必要なRTLを自動生成する環境を構築しました。

これによりユーザのサブシステム構築に対するハードルが大幅に下がり、アプリケーション要求から来る最適なシステムを早期に決定、構築することが可能となります。図3はAXIバスでの可変可能なパラメータとそのシステム構成例です。

早期なシステム構築は、FPGAなどを使用したシステム性能確認やソフトの並列開発を容易にします。設計品質においても、あらかじめ標準バスを想定した検証ツールの導入ができ、短TATでの品質向上が可能となります。

このような手法で構築されたユーザごと、アプリケーション分野ごとの差別化されたプラットフォームについては、今後の流用性、拡張性が容易となります。これにより、ユーザは自社のアプリケーションに関連する本質的な部分の設計にリソースを集中でき、付加価値を高め他社との差別化を図ることが可能と考えます。

現在、ASICにおいてユーザより概略仕様をいただいて、NECエレクトロニクスで開発を分担しCPUサブシステムを短TATで提供することが可能となっています。またAMBA基幹IP(メモリコントローラ、DMAコントローラなど)、周辺IP(タイマ、シリアル、汎用ポート)などの独自ラインナップを用意し、プラットフォームベース設計のためのインフラとして評価用CPUチッ

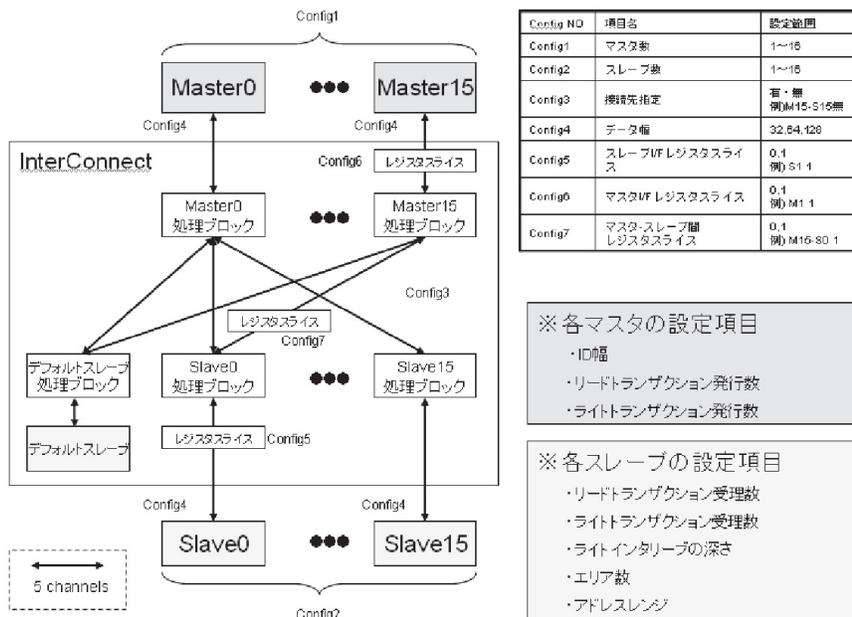


図3 AXIバスでの可変パラメータとそのシステム構成例

プ、評価用ボードシミュレーションモデル、テストベンチ、ドキュメントを整備しています。このインフラ体系をNECエレクトロニクスではMICROSSPと呼んでいます。ARMコア、およびV850Eコアを中心としたサブシステムを現在用意しています(図4)。

V850E1/V850E2/ARM946E-S/ARM926EJ-Sのテストチップが搭載可能な評価ボード(写真)も現在ご提供が可能です。

現在NECエレクトロニクスではARMサブシステムの設計人口は急速に増えており、ARMコア搭載製品の実績も多数あり、より大規模、複雑なシステム構築のノウハウを蓄積しています。ユーザー向けにはこのインフラを通してSoC開発の企画検討、システム検討から量産までの全般に対応します。

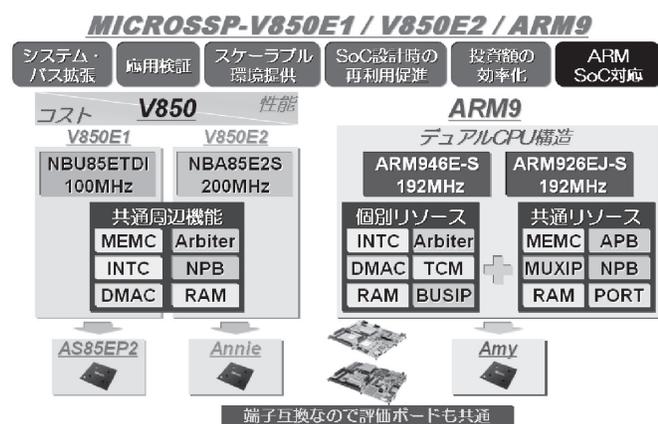


図4 MICROSSP概念図

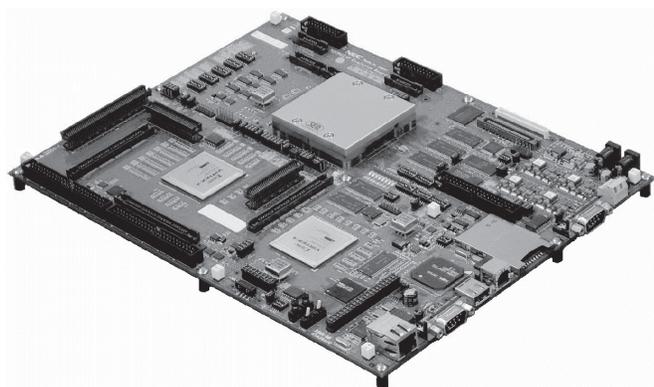


写真 評価ボード

6. おわりに

以上、SoCデザインにおける組み込みCPUへの取り組みとプラットフォームベース設計の概要を紹介しました。

NECエレクトロニクスでは今後も組み込みCPUのラインナップを拡充していきます。特にNECエレクトロニクスとARM社のパートナーシップにより開発したMPCoreのマルチコアシステムを始めとして、より広範囲、高機能なASICへの適用を進めていく予定です。

また次世代バスの1つであるAXIバスシステムへの対応を拡充していくことにより、より高付加価値なハードウェア開発プラットフォームを展開していく予定です。

* ARM、AMBAはARM Limitedの登録商標です。

* ARM7、ARM9、ARM11、ARM7TDMI-S、ARM926EJ-S、ARM946E-S、ARM966E-S、ARM1136JF-S、ARM1156T2-S、ARM1176JZF-S、MPCore、AXIはARM Limitedの商標です

* MIPSはMIPS Technologies, Inc.の登録商標です

執筆者プロフィール

桜井 良和
NECエレクトロニクス
第一システム事業本部
フルカスタムASIC事業部

鈴木 宏明
NECエレクトロニクス
第一システム事業本部
フルカスタムASIC事業部

前村 浩司
NECマイクロシステム
第二SoC開発事業部

高倉 敏
NECマイクロシステム
第二SoC開発事業部