

SX-8のLSI・回路技術

LSI and Circuit Technologies for SX-8

稲坂 純*
Jun Inasaka

加藤 俊弘*
Toshihiro Katoh

棚橋 俊夫*
Toshio Tanahashi

梶田 幹浩*
Mikihiro Kajita

小林 英明*
Hideaki Kobayashi

中山 直也**
Naoya Nakayama

要 旨

本稿では、SX-8のLSI技術・回路技術の概要について述べます。SX-8では、最先端CMOSテクノロジーをNECエレクトロニクスと共同開発し、高速動作と高いコストパフォーマンスを実現しています。

また、超高速のデータ転送を実現する高速インタフェース技術およびノイズ低減技術を開発しました。

This paper gives an outline of LSI and circuit technologies used in the supercomputer SX-8. The SX-8 achieves high-speed operation and good cost-performance ratio by using leading-edge CMOS technology co-developed with NEC Electronics.

The technology features high-performance transmission circuit design and noise reduction technology.

1. まえがき

NECのスーパーコンピュータは、CMOSテクノロジーによる高集積化とプロセッサの平行化で高性能を実現しつつ、コストパフォーマンス向上を進めてきました。SX-8ではさらなる高性能化を実現するため、LSI技術および回路技術を発展させています。今回開発したLSIでは、最先端90nm CMOS、9層銅配線プロセスの採用と低電源電圧化を進めることにより、高集積化と高性能化を実現しました。

システムの性能向上のためには、LSIの高速化に加えてLSI間信号転送の高速化が必要になります。LSI間転送には低レイテンシのマルチチャネル・シリアル・インタフェースを開発し、高速データ転送を実現しています。また、インタフェース回路を低消費電力、小面積とすることにより、LSIへの多数チャネルの搭載を実現しています。

さらに信号伝送の高速化を阻害するノイズ対策では、新規に開発したノイズ解析フロー、LSI内部でのノイズ観測

技術を用いて検討を進め、ノイズを低減しています。

2. LSI技術

高い処理能力を実現するためには、マシンサイクルを高速化する必要があります。このため、最新のデバイス技術、プロセス技術を駆使したCMOS LSIを開発しました。以下に、LSI技術として、LSI共通仕様、インタフェース技術、内蔵RAM、クロック/PLL技術について述べます。

2.1 LSI共通仕様

写真と表にSX-8で開発したCPUチップの外観と諸元を示します。本LSIは、90nm CMOSプロセスを採用し、9層銅配線、低誘電率層間絶縁膜により配線遅延の改善を図っています。一般に低電源電圧で高性能を実現するには、ゲート絶縁膜の薄膜化が必要となりますが、ゲート酸化膜の薄膜化はゲートリーク電流の増大、信頼性の低下を招きます。そこで、シリコン酸化膜の表面だけに窒素を導入するプロセス「ラジカル窒化プロセス」を開発することによりゲートリーク電流を抑えながら電氣的ゲート絶縁膜の薄膜化を達成し、高性能トランジスタを実現しています。配線ピ

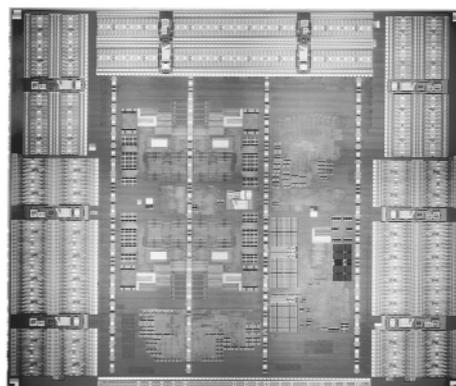


写真 CPUチップの外観
Photo CPU chip.

* コンピュータ事業部
Computers Division

** NECエレクトロニクス サーバシステム事業部
NEC Electronics Corporation

表 CPUチップの諸元
Table Specifications of CPU chip.

項目	CPUチップ
テクノロジノード	90nm
搭載トランジスタ数	8,800万トランジスタ
電源電圧	1.0V
ピン数 (内信号ピン)	8,210 (1,923)
配線層構成	銅9層
I/Oインタフェース	1.0V シリアル
実装形態	ベアチップ実装

チップの微細化に伴い、チップ設計における配線抵抗、配線容量に起因する遅延要素の全体遅延に占める割合は急激に増大しています。寄生容量を低減するために、新規低誘電率層間膜材料 (K=2.9) を用い、高性能を実現しました。

2.2 高速マルチチャネル・シリアル・インタフェース

チップ当たりの実効データ伝送レートを、世界最高の2.4Tbps (300Gバイト/秒) とした低レーテンシの3Gbps/CHの高速マルチチャネル・シリアル・インタフェースを開発しました (図1)。

CPU-MMU間転送のレーテンシは、性能に大きく影響します。そこで論理回路とクロックの位相を合わせ、同期化回路を省略するとともに、符号化、復号化回路を省略し、調整制御チャンネルを付加し、CDR (Clock and Data Recovery) の調整の開始、調整、および、調整の終了のタイミング作成を単純化して、同期化とチャンネル間のデータの整列を同時に行って低レーテンシを実現しています。

チップ内に多量のチャンネルを搭載するため、消費電力と面積の両方を小さくする必要があります。回路、レイアウトの最適化、チャンネル間の回路の共用化による回路の削減、ドライブ回路の省電力化により、送信部を26mW/CH、0.13mm²/CH、受信部を22mW/CH、0.18mm²/CHに抑えました。

論理回路が動作することによって生じる電源ノイズの対策として、LSI上の電源を分離し、オンチップ容量を搭載

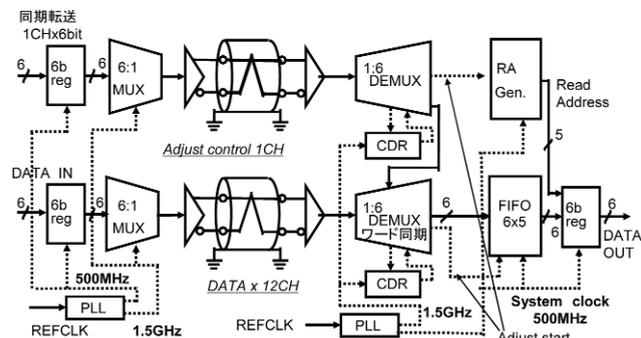


図1 マルチチャネル・シリアル・インタフェース
Fig.1 Multi-Channel Serial Interface.

しました。アナログ回路を少なくし、制御信号もデジタル化する等のノイズ耐力の向上と併せ、エラーレートを格段に向上させています。

LSIのテストに関しては、マクロ内に、ランダム信号発生器と照合回路を組み込み、送信回路から受信回路へ信号をループバックして、回路の機能検査と、3Gbpsの高速動作での検査を行っています。

2.3 RAM

今回開発したLSIは、大容量のキャッシュメモリや、多ポート構成のレジスタファイルなどの数種類のRAM回路を内蔵しています。これらのRAM回路はデバイス性能を最大限引き出すために専用設計をしています。

従来と比較して電源の低電圧化が進み、高速安定動作のためには、メモリセルが出力する信号振幅を早く大きくする必要があります。これを実現するため、1本のビット線に接続されるメモリセルを従来の1/4以下にできるバンク方式の採用と、読み出し回路の入力容量を低減できるPer-bit Sense Amplifier方式¹⁾を採用しています。これら2つの方式の採用により、駆動能力の小さいメモリセルに対して負荷を低減でき、従来以上の信号振幅で高速安定動作を実現しています。

低消費電力化のため、従来より実施しているワンショット動作と非選択回路の停止に加えて、読み出し回路の制御信号の簡略化でダイナミックパワーの削減を実施しています。さらに、リーク電流の少ないトランジスタを有効に使用し、スタティックパワーも削減しています。

2.4 PLL回路・クロック分配

高速クロック動作を実現するためには、高速なクロックを低スキューで分配する必要があります。

SX-8では高速なクロックを生成するために、LSI外部からのクロックを通倍するAPLL (Analog Phase-Locked Loop) 回路を採用しています。APLLは、VCO (Voltage-Controlled Oscillators) を内蔵し、LSI外部クロックと内部クロックとの位相を合わせ、同期したクロックを生成しています。電源ノイズ対策として、LSI上で専用の独立した電源を供給することによりジッタを小さくしています。

低スキューでクロック分配を行うために、LSIを論理回路領域とインタフェース回路領域とに分け、論理回路用クロックとインタフェース用クロックの2種類の同期クロックを生成し、分配しています。

クロック分配方式は2段階のクロック分配を採用しています。メインクロックドライバは局所的に配置した複数のローカルクロックドライバを駆動し、ローカルクロックドライバがフリップフロップにクロックを低スキューで分配しています。メインクロック信号は、クロック専用の低抵抗の厚膜配線層で配線することにより、抵抗による波形のなまりを低減するとともに、配線の抵抗 (R)、キャパシタンス (C) だけでなくインダクタンス (L) 成分を考慮し、等遅延で分配しています。また、負荷および配線長を均一

にして製造ばらつきの影響を小さくし、かつ、電源・グラウンド配線でシールドすることにより、クロストークノイズの影響を小さくしています。ローカルクロック信号は、遅延時間を抑制し、等遅延で分配するとともに、クロックドライバの駆動力を最適化することでクロックスキューの低減を実現しています。

3. 高速回路技術

高速システムにおける処理能力の向上には、LSI内信号伝送の高速化とともに、LSI間信号伝送の高速化が必要となります。また、信号伝送の高速化を妨げる電源ノイズへの対策も重要です。

3.1 LSI間信号の高速化

LSI間信号伝送では、伝送路の表皮効果や誘電体損失により信号の高周波成分が減衰します。このため、配線が長くなると減衰が大きくなり、信号が正しく受信できなくなります。SX-8では、低損失のプリント基板を採用して配線の減衰を低減するとともに、送信側のドライバには信号が変化する場合に信号振幅を大きくし、同じ信号が続くときには振幅を小さくするプリエンファシス機能を付加することにより、長い配線でも信号を伝送可能としています。採用したプリエンファシス機能は2ステップ、8段階の調節が可能であり、伝送路の減衰量に応じたエンファシス量を選択しています。

高速な信号伝送の実現のためには、伝送路のインピーダンスを整合して、反射ノイズなどの波形歪みを低減することも重要です。このため、波形歪みが少ないソケットやコネクタを開発して採用しています。また、受信回路には終端抵抗およびインピーダンスを調整する回路を内蔵しており、伝送路とのインピーダンス整合を図り、LSIの製造ばらつきや電源電圧、温度などの環境変動に対して信号波形を最適に調整することで確実に高速なデータ転送を実現しています。

3.2 ノイズ低減技術

トランジスタが高速化し、電源電流の時間変化が大きくなると、電源ノイズは増加します。この電源ノイズを低減するために、以下の施策を採用しました。

(1) デカップリング容量の最適搭載

LSIモデル、PWB (Printed Wiring Board) モデルを一体でシミュレーション可能な解析フロー (図2) を新規に開発/導入し、LSI、PWBのおのおので必要な容量を算出して搭載しました。

ノイズを効率的に低減するためには、総搭載量だけでなく、ノイズの周波数帯域に合わせた容量を適用する必要があります。LSI内の高周波ノイズを低減するために、オンチップ容量には周波数応答性を最適設計したMOSゲート容量を採用しています。また、中周波領域のノイズを低減するために、LSIパッケージには寄生インダクタンス成分を低減したセラミックコンデンサを採用しています。

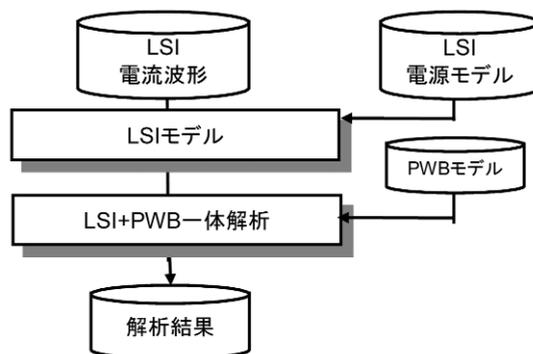


図2 電源ノイズ解析フロー

Fig.2 Diagram for analysis of supply noise.

今回導入の解析フローによる電源ノイズ解析結果を図3に示し、解析に用いたLSI電流源分布を図4に示します。

電流分布の大きいユニットで、相対的に大きなノイズが発生していることが分かります。適切なオンチップ容量を搭載することで、最大のノイズを発生するユニットでも、目標値以下のノイズ量となるよう設計を行っています。

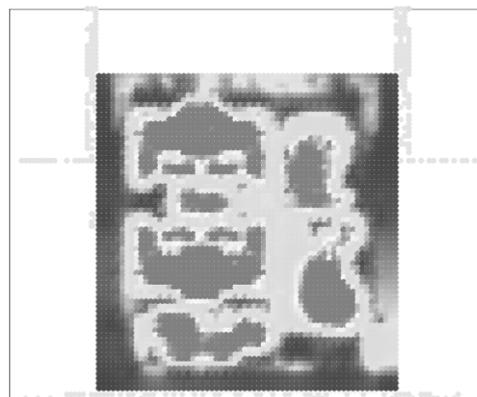


図3 電源ノイズ分布 (シミュレーション結果)
(中央近傍の色濃い箇所ではノイズが大きくなります。)

Fig.3 Supply noise map.



図4 電流分布
(色の濃い箇所では電流が大きくなります。)

Fig.4 Supply current map.

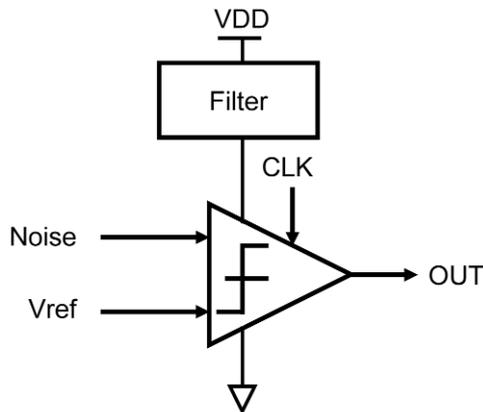


図5 オンチップ電源ノイズ測定マクロ

Fig.5 On-die detector for sensing power supply noise.

(2) 電源ノイズのオンチップ観測

LSIの高速化に伴いLSI上のノイズをLSI外部で観測することは困難となります。このため、電源ノイズ観測用マクロを開発してLSI内部でのノイズ観測を実現しました。また、電源ノイズ観測用マクロはシステムが稼働している状態でもノイズ観測が可能な設計となっており、実行しているプログラムによるノイズ量の違いも測定可能です。

図5に電源ノイズ観測マクロの概要を示します。本マクロは、①マクロ内部に電源フィルタを内蔵しているため、専用電源が不要であること、②基準電位 (Vref) 調整やVCO調整などは外部からデジタル信号で行うことができるため、制御が容易であること、③マクロ内にLSIの動作クロックよりも高速なクロックを生成するVCOを内蔵し、高速ノイズの観測が可能であることが特徴です。

今回、本マクロによる電源ノイズ測定の結果、十分にノイズが抑制され、設計目標を満足していることを検証しています。

4. むすび

以上、SX-8のLSI技術、回路技術の概要について紹介しました。今後も高性能と優れたコストパフォーマンスを満足するスーパーコンピュータの開発を実現するため、より優れたLSI技術、回路技術の開発に取り組む所存です。

参考文献

1) K. Takeda, et al.; "Per-bit sense amplifier scheme for 1GHz SRAM macro in sub-100nm CMOS technology" Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International 15-19 Feb. 2004 Page(s): 502 - 542 Vol. 1.

筆者紹介



Jun Inasaka
いなさか じゅん
稲坂 純 1985年, NEC入社。現在, 第一コンピュータ事業本部コンピュータ事業部統括マネージャー。



Toshio Tanahashi
たなはし としお
棚橋 俊夫 1971年, NEC入社。現在, 第一コンピュータ事業本部コンピュータ事業部回路技術部技術エキスパート。アドバンステクノロジスト。



Hideaki Kobayashi
こばやし ひであき
小林 英明 1987年, NEC入社。現在, 第一コンピュータ事業本部コンピュータ事業部回路技術部技術エキスパート。



Toshihiro Katoh
かとう としひろ
加藤 俊弘 1988年, NEC入社。現在, 第一コンピュータ事業本部コンピュータ事業部回路技術部技術エキスパート。



Mikihiro Kajita
かじた みきひろ
梶田 幹浩 1992年, NEC入社。現在, 第一コンピュータ事業本部コンピュータ事業部回路技術部技術エキスパート。



Naoya Nakayama
なかやま なおや
中山 直也 1992年, NEC入社。現在, NECエレクトロニクス サーバシステム事業部主任。